

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Jc971 U.S. PTO

10/092393

03/05/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年10月30日

出 願 番 号

Application Number:

特願2001-333097

[ST.10/C]:

[JP2001-333097]

出 願 人

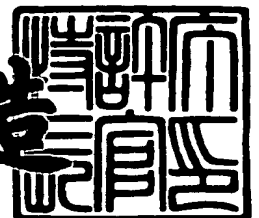
Applicant(s):

セイコーエプソン株式会社

2002年 1月29日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2002-3002161

【書類名】 特許願

【整理番号】 EP-0320201

【提出日】 平成13年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8244

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 唐澤 純一

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 渡辺 邦雄

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100090479

 【弁理士】

 【氏名又は名称】 井上 一

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090387

 【弁理士】

 【氏名又は名称】 布施 行夫

 【電話番号】 03-5397-0891

【選任した代理人】

 【識別番号】 100090398

 【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【先の出願に基づく優先権主張】

【出願番号】 特願2001- 88309

【出願日】 平成13年 3月26日

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、メモリシステムおよび半導体装置

【特許請求の範囲】

【請求項 1】 第 1 負荷トランジスタと、第 2 負荷トランジスタと、第 1 駆動トランジスタと、第 2 駆動トランジスタと、第 1 転送トランジスタと、第 2 転送トランジスタとを含むメモリセルを備える半導体装置であって、

第 1 導電型ウエル領域と、

第 2 導電型ウエル領域と、

前記第 1 負荷トランジスタのゲート電極と、前記第 1 駆動トランジスタのゲート電極とを含む、第 1 ゲートーゲート電極層と、

前記第 2 負荷トランジスタのゲート電極と、前記第 2 駆動トランジスタのゲート電極とを含む、第 2 ゲートーゲート電極層と、

前記第 1 負荷トランジスタのドレイン領域と、前記第 1 駆動トランジスタのドレイン領域とを電氣的に接続する接続層の一部を構成する、第 1 ドレインードレイン配線層と、

前記第 2 負荷トランジスタのドレイン領域と、前記第 2 駆動トランジスタのドレイン領域とを電氣的に接続する接続層の一部を構成する、第 2 ドレインードレイン配線層と、

前記第 1 ゲートーゲート電極層と、前記第 2 ドレインードレイン配線層とを電氣的に接続する接続層の一部を構成する、第 1 ドレインーゲート配線層と、

前記第 2 ゲートーゲート電極層と、前記第 1 ドレインードレイン配線層とを電氣的に接続する接続層の一部を構成する、第 2 ドレインーゲート配線層と、を含み、

前記第 1 負荷トランジスタおよび前記第 2 負荷トランジスタは、前記第 1 導電型ウエル領域に設けられ、

前記第 1 駆動トランジスタおよび前記第 2 駆動トランジスタは、前記第 2 導電型ウエル領域に設けられ、

前記第 2 ドレインーゲート配線層は、前記第 1 ドレインーゲート配線層より上

の層に位置し、かつ、第2ドレインゲート配線層の上層部と第2ドレインゲート配線層の下層部とを有し、

前記第2ドレインゲート配線層の上層部は、前記第2ドレインゲート配線層の下層部より上の層に位置し、

前記第2ドレインゲート配線層の上層部は、前記第1導電型ウエル領域および前記第2導電型ウエル領域のいずれかの領域の上方に設けられている、半導体装置。

【請求項2】 請求項1において、

前記第2ドレインゲート配線層の上層部は、前記第1導電型ウエル領域と前記第2導電型ウエル領域との境界より、該第2導電型ウエル領域側に設けられている、半導体装置。

【請求項3】 請求項2において、

さらに、主ワード線を有し、

前記主ワード線は、前記第2ドレインゲート配線層の上層部と同一の層に設けられ、かつ、前記第1導電型ウエル領域と前記第2導電型ウエル領域との境界より、該第1導電型ウエル領域側に設けられている、半導体装置。

【請求項4】 請求項1において、

前記第2ドレインゲート配線層の上層部は、前記第1導電型ウエル領域と前記第2導電型ウエル領域との境界より、該第1導電型ウエル領域側に設けられている、半導体装置。

【請求項5】 請求項4において、

さらに、主ワード線を有し、

前記主ワード線は、前記第2ドレインゲート配線層の上層部と同一の層に設けられ、かつ、前記第1導電型ウエル領域と前記第2導電型ウエル領域との境界より、該第2導電型ウエル領域側に設けられている、半導体装置。

【請求項6】 請求項1～5のいずれかにおいて、

前記第1ドレインゲート配線層は、前記第2ドレインドレイン配線層とコンタクト部を介して電氣的に接続され、

前記第2ドレインゲート配線層の下層部は、前記第2ゲートゲート電極層

とコンタクト部を介して電氣的に接続され、

前記第 2 ドレインゲート配線層の上層部は、前記第 1 ドレインードレイン配線層および前記第 2 ドレインゲート配線層の下層部のそれぞれとコンタクト部を介して電氣的に接続されている、半導体装置。

【請求項 7】 請求項 1～6 のいずれかにおいて、

前記第 1 ゲートゲート電極層と、前記第 2 ゲートゲート電極層と、前記第 1 ドレインゲート配線層とは、同一の層に設けられ、

前記第 1 ドレインゲート配線層は、前記第 1 導電型ウエル領域と前記第 2 導電型ウエル領域との境界上に設けられている、半導体装置。

【請求項 8】 請求項 1～7 のいずれかにおいて、

前記第 1 ドレインゲート配線層と、前記第 2 ドレインゲート配線層の上層部とは、平面的にみて重ならないように設けられている、半導体装置。

【請求項 9】 請求項 1～8 のいずれかにおいて、

前記第 1 ゲートゲート電極層、前記第 2 ゲートゲート電極層および前記第 1 ドレインゲート配線層は、第 1 層導電層に位置し、

前記第 1 ドレインードレイン配線層、前記第 2 ドレインードレイン配線層および前記第 2 ドレインゲート配線層の下層部は、第 2 層導電層に位置し、

前記第 2 ドレインゲート配線層の上層部は、第 3 層導電層に位置する、半導体装置。

【請求項 10】 請求項 1～9 のいずれかにおいて、

第 2 層導電層は、高融点金属の窒化物層である、半導体装置。

【請求項 11】 請求項 1～9 のいずれかにおいて、

第 2 層導電層の厚さは、100～200 nm である、半導体装置。

【請求項 12】 請求項 1～11 のいずれかに記載の前記半導体装置を備える、メモリシステム。

【請求項 13】 請求項 1～11 のいずれかに記載の前記半導体装置を備える、電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば、S R A M (static random access memory) のような半導体装置、および、これを備えるメモリシステム、電子機器に関する。

【0 0 0 2】

【背景技術】

半導体記憶装置の一種である S R A M は、リフレッシュ動作が不要なのでシステムを簡単にできることや低消費電力であるという特徴を有する。このため、S R A M は、例えば、携帯電話のような電子機器のメモリに好適に使用される。

【0 0 0 3】

【発明が解決しようとする課題】

本発明の目的は、セル面積を小さくすることができる、半導体装置を提供することにある。

【0 0 0 4】

本発明の他の目的は、本発明の半導体装置を含むメモリシステムおよび電子機器を提供することにある。

【0 0 0 5】

【課題を解決するための手段】

1. 半導体装置

本発明の半導体装置は、

第 1 負荷トランジスタと、第 2 負荷トランジスタと、第 1 駆動トランジスタと、第 2 駆動トランジスタと、第 1 転送トランジスタと、第 2 転送トランジスタとを含むメモリセルを備える半導体装置であって、

第 1 導電型ウェル領域と、

第 2 導電型ウェル領域と、

前記第 1 負荷トランジスタのゲート電極と、前記第 1 駆動トランジスタのゲート電極とを含む、第 1 ゲートーゲート電極層と、

前記第 2 負荷トランジスタのゲート電極と、前記第 2 駆動トランジスタのゲート電極とを含む、第 2 ゲートーゲート電極層と、

前記第 1 負荷トランジスタのドレイン領域と、前記第 1 駆動トランジスタのド

レイン領域とを電氣的に接続する接続層の一部を構成する、第1ドレインードレイン配線層と、

前記第2負荷トランジスタのドレイン領域と、前記第2駆動トランジスタのドレイン領域とを電氣的に接続する接続層の一部を構成する、第2ドレインードレイン配線層と、

前記第1ゲートゲート電極層と、前記第2ドレインードレイン配線層とを電氣的に接続する接続層の一部を構成する、第1ドレインーゲート配線層と、

前記第2ゲートゲート電極層と、前記第1ドレインードレイン配線層とを電氣的に接続する接続層の一部を構成する、第2ドレインーゲート配線層と、を含み、

前記第1負荷トランジスタおよび前記第2負荷トランジスタは、前記第1導電型ウエル領域に設けられ、

前記第1駆動トランジスタおよび前記第2駆動トランジスタは、前記第2導電型ウエル領域に設けられ、

前記第2ドレインーゲート配線層は、前記第1ドレインーゲート配線層より上の層に位置し、かつ、第2ドレインーゲート配線層の上層部と第2ドレインーゲート配線層の下層部とを有し、

前記第2ドレインーゲート配線層の上層部は、前記第2ドレインーゲート配線層の下層部より上の層に位置し、

前記第2ドレインーゲート配線層の上層部は、前記第1導電型ウエル領域および前記第2導電型ウエル領域のいずれかの領域の上方に設けられている。

【0006】

ここで、「配線層」とは、フィールドまたは層間絶縁層の上に配置された、層状の導電層をいう。

【0007】

本発明においては、第2ドレインーゲート配線層は、前記第1ドレインーゲート配線層より上の層に位置している。すなわち、第1ドレインーゲート配線層と、第2ドレインーゲート配線層とは、それぞれ異なる層に位置している。このため、本発明によれば、第1ドレインーゲート配線層と、第2ドレインーゲート配

線層とを同じ層に形成する場合に比べて、第1ドレインゲート配線層および第2ドレインゲート配線層が形成された各層における配線層のパターン密度を低減することができ、セル面積を小さくすることができる。

【0008】

この態様の場合、後述するように、第2ドレインゲート配線層の上層部を第2導電型ウエル領域の上方に設けた場合には、主ワード線を第1導電型ウエル領域の上方に設けることが容易となる。また、第2ドレインゲート配線層の上層部を第1導電型ウエル領域の上方に設けた場合には、主ワード線を第2導電型ウエル領域の上方に設けることが容易となる。

【0009】

具体的には、本発明の半導体装置は、次の2つの態様(1)、(2)のいずれかをとることができる。

【0010】

(1) 前記第2ドレインゲート配線層の上層部は、前記第1導電型ウエル領域と前記第2導電型ウエル領域との境界より、該第2導電型ウエル領域側に設けられていることができる。

【0011】

この態様の場合、さらに、主ワード線を有し、

前記主ワード線は、前記第2ドレインゲート配線層の上層部と同一の層に設けられ、かつ、前記第1導電型ウエル領域と前記第2導電型ウエル領域との境界より、該第1導電型ウエル領域側に設けられていることができる。

【0012】

(2) 前記第2ドレインゲート配線層の上層部は、前記第1導電型ウエル領域と前記第2導電型ウエル領域との境界より、該第1導電型ウエル領域側に設けられていることができる。

【0013】

この態様の場合、さらに、主ワード線を有し、

前記主ワード線は、前記第2ドレインゲート配線層の上層部と同一の層に設けられ、かつ、前記第1導電型ウエル領域と前記第2導電型ウエル領域との境界

より、該第2導電型ウエル領域側に設けられていることができる。

【0014】

さらに、本発明の半導体装置は、次の態様(3)～(8)のうち、少なくとも1つをとることができる。

【0015】

(3) 前記第1ドレインゲート配線層は、前記第2ドレインードレイン配線層とコンタクト部を介して電氣的に接続され、

前記第2ドレインゲート配線層の下層部は、前記第2ゲートゲート電極層とコンタクト部を介して電氣的に接続され、

前記第2ドレインゲート配線層の上層部は、前記第1ドレインードレイン配線層および前記第2ドレインゲート配線層の下層部のそれぞれとコンタクト部を介して電氣的に接続されている態様。

【0016】

(4) 前記第1ゲートゲート電極層と、前記第2ゲートゲート電極層と、前記第1ドレインゲート配線層とは、同一の層に設けられ、

前記第1ドレインゲート配線層は、前記第1導電型ウエル領域と前記第2導電型ウエル領域との境界上に設けられている態様。

【0017】

(5) 前記第1ドレインゲート配線層と、前記第2ドレインゲート配線層の上層部とは、平面的にみて重ならないように設けられている態様。

【0018】

(6) 前記第1ゲートゲート電極層、前記第2ゲートゲート電極層および前記第1ドレインゲート配線層は、第1層導電層に位置し、

前記第1ドレインードレイン配線層、前記第2ドレインードレイン配線層および前記第2ドレインゲート配線層の下層部は、第2層導電層に位置し、

前記第2ドレインゲート配線層の上層部は、第3層導電層に位置する態様。

【0019】

(7) 第2層導電層は、高融点金属の窒化物層(たとえば窒化チタン)である態様。第2層導電層が高融点金属の窒化物層であることにより、第2層導電層の

厚さを小さくすることができ、微細加工がし易い。したがって、セル面積の低減を図ることができる。

【0020】

(8) 第2層導電層の厚さは、100～200nmである態様。

【0021】

2. メモリシステム

本発明のメモリシステムは、本発明の半導体装置を備える。

【0022】

3. 電子機器

本発明の電子機器は、本発明の半導体装置を備える。

【0023】

【発明の実施の形態】

本発明の実施の形態について説明する。本実施の形態は、本発明にかかる半導体装置を、SRAMに適用したものである。

【0024】

1. SRAMの等価回路

図1は、本実施の形態にかかるSRAMの等価回路と、導電層との対応関係を示す図である。本実施の形態にかかるSRAMは、6個のMOS電界効果トランジスタにより、一つのメモリセルが構成されるタイプである。つまり、nチャネル型の駆動トランジスタQ3とpチャネル型の負荷トランジスタQ5とで、一つのCMOSインバータが構成されている。また、nチャネル型の駆動トランジスタQ4とpチャネル型の負荷トランジスタQ6とで、一つのCMOSインバータが構成されている。この二つのCMOSインバータをクロスカップルすることにより、フリップフロップが構成される。そして、このフリップフロップと、nチャネル型の転送トランジスタQ1、Q2とにより、一つのメモリセルが構成される。

【0025】

2. SRAMの構造

以下、SRAMの構造を説明する。まず、各図面を簡単に説明する。

【 0 0 2 6 】

図 1 は、本実施の形態にかかる S R A M の等価回路と、導電層との対応関係を示す図である。図 2 は、本実施の形態に係る S R A M のメモリセルのフィールドを模式的に示す平面図である。図 3 は、本実施の形態に係る S R A M のメモリセルの第 1 層導電層を模式的に示す平面図である。図 4 は、本実施の形態に係る S R A M のメモリセルの第 2 層導電層を模式的に示す平面図である。図 5 は、本実施の形態に係る S R A M のメモリセルの第 3 層導電層を模式的に示す平面図である。図 6 は、本実施の形態に係る S R A M のメモリセルの第 4 層導電層を模式的に示す平面図である。図 7 は、本実施の形態に係る S R A M のメモリセルのフィールドおよび第 1 層導電層を模式的に示す平面図である。図 8 は、本実施の形態に係る S R A M のメモリセルのフィールドおよび第 2 層導電層を模式的に示す平面図である。図 9 は、本実施の形態に係る S R A M のメモリセルの第 1 層導電層および第 2 層導電層を模式的に示す平面図である。図 1 0 は、本実施の形態に係る S R A M のメモリセルの第 2 層導電層および第 3 層導電層を模式的に示す平面図である。図 1 1 は、本実施の形態に係る S R A M のメモリセルのフィールドおよび第 3 層導電層を模式的に示す平面図である。図 1 2 は、本実施の形態に係る S R A M のメモリセルの第 1 層導電層および第 3 層導電層を模式的に示す平面図である。図 1 3 は、本実施の形態に係る S R A M のメモリセルの第 3 層導電層および第 4 層導電層を模式的に示す平面図である。図 1 4 は、図 2 ～図 1 3 の A - A 線に沿った断面を模式的に示す断面図である。図 1 5 は、図 2 ～図 1 3 の B - B 線に沿った断面を模式的に示す断面図である。

【 0 0 2 7 】

S R A M は、フィールドに形成された素子形成領域と、第 1 層導電層と、第 2 層導電層と、第 3 層導電層と、第 4 層導電層とを含んで構成されている。以下、フィールドおよび第 1 ～第 4 層導電層の各構成について、具体的に説明する。

【 0 0 2 8 】

2. 1 フィールド

図 2 を参照しながら、フィールドについて説明する。フィールドは、第 1 ～第 4 活性領域 1 4, 1 5, 1 6, 1 7 および素子分離領域 1 2 を有する。第 1 ～第

4 活性領域 14, 15, 16, 17 は、素子分離領域 12 によって画定されている。第 1 および第 2 活性領域 14, 15 が形成された側の領域は、n 型ウエル領域 W10 となっており、第 3 および第 4 活性領域 16, 17 が形成された側の領域は、p 型ウエル領域 W20 となっている。

【0029】

第 1 活性領域 14 と第 2 活性領域 15 とは、平面形状に関して、対称関係にある。また、第 3 活性領域 16 と第 4 活性領域 17 とは、平面形状に関して、対称関係にある。

【0030】

第 1 活性領域 14 において、第 1 負荷トランジスタ Q5 が形成される。第 1 活性領域 14 内には、第 1 の p^+ 型不純物層 14a および第 2 の p^+ 型不純物層 14b が形成されている。第 1 の p^+ 型不純物層 14a は、第 1 負荷トランジスタ Q5 のソースとして機能する。第 2 の p^+ 型不純物層 14b は、第 1 負荷トランジスタ Q5 のドレインとして機能する。

【0031】

第 2 活性領域 15 において、第 2 負荷トランジスタ Q6 が形成される。第 2 活性領域 15 内には、第 3 の p^+ 型不純物層 15a および第 4 の p^+ 型不純物層 15b が形成されている。第 3 の p^+ 型不純物層 15a は、第 2 負荷トランジスタ Q6 のソースとして機能する。第 4 の p^+ 型不純物層 15b は、第 2 負荷トランジスタ Q6 のドレインとして機能する。

【0032】

第 3 活性領域 16 において、第 1 駆動トランジスタ Q3 および第 1 転送トランジスタ Q1 が形成される。第 3 活性領域 16 内には、トランジスタ Q1, Q3 の構成要素となる第 1～第 3 の n^+ 型不純物層 16a, 16b, 16c と、ウエルコンタクト領域を構成する第 5 の p^+ 型不純物層 16d とが形成されている。第 1 の n^+ 型不純物層 16a は、第 1 転送トランジスタ Q1 のソースまたはドレインとして機能する。第 2 の n^+ 型不純物層 16b は、第 1 駆動トランジスタ Q3 のドレイン、および、第 1 転送トランジスタ Q1 のソースまたはドレインとして機能する。第 3 の n^+ 型不純物層 16c は、第 1 駆動トランジスタ Q3 のソース

として機能する。

【0033】

第4活性領域17において、第2駆動トランジスタQ4および第2転送トランジスタQ2が形成される。第4活性領域17内には、トランジスタQ2、Q4の構成要素となる第4～第6の n^+ 型不純物層17a、17b、17cと、ウエルコンタクト領域を構成する第6の p^+ 型不純物層17dとが形成されている。第4の n^+ 型不純物層17aは、第2転送トランジスタQ2のソースまたはドレインとして機能する。第5の n^+ 型不純物層17bは、第2駆動トランジスタQ4のドレイン、および、第2転送トランジスタQ2のソースまたはドレインとして機能する。第6の n^+ 型不純物層17cは、第2駆動トランジスタQ4のソースとして機能する。

【0034】

2.2 第1層導電層

次に、図3および図7を参照しながら、第1層導電層を説明する。なお、第1層導電層とは、半導体層10の上に形成された導電層をいう。

【0035】

第1層導電層は、第1ゲートゲート電極層20と、第2ゲートゲート電極層22と、第1ドレインゲート配線層30と、副ワード線24とを有する。

【0036】

第1ゲートゲート電極層20および第2ゲートゲート電極層22は、Y方向に沿って伸びるように形成されている。第1ドレインゲート配線層30および副ワード線24は、X方向に沿って伸びるように形成されている。

【0037】

以下、第1層導電層の各構成要素について、具体的に説明する。

【0038】

1) 第1ゲートゲート電極層

第1ゲートゲート電極層20は、図7に示すように、第1活性領域14および第3活性領域16と交差するように形成されている。第1ゲートゲート電極層20は、第1負荷トランジスタQ5および第1駆動トランジスタQ3のゲート

電極として機能する。

【0039】

第1ゲートゲート電極層20は、第1活性領域14において、第1の p^+ 型不純物層14aと第2の p^+ 型不純物層14bとの間を通るように形成されている。すなわち、第1ゲートゲート電極層20と、第1の p^+ 型不純物層14aと、第2の p^+ 型不純物層14bとで、第1負荷トランジスタQ5を構成している。また、第1ゲートゲート電極層20は、第3活性領域16において、第2の n^+ 型不純物層16bと第3の n^+ 型不純物層16cとの間を通るように形成されている。すなわち、第1ゲートゲート電極層20と、第2の n^+ 型不純物層16bと、第3の n^+ 型不純物層16cとで、第1駆動トランジスタQ3を構成している。

【0040】

2) 第1ドレインゲート配線層

第1ドレインゲート配線層30は、第1ゲートゲート電極層20の側部から、第2ゲートゲート電極層22に向かってX方向に沿って伸びるように形成されている。また、第1ドレインゲート配線層30は、図7に示すように、少なくとも、第1活性領域14と第3活性領域16との間において形成されている。第1ドレインゲート配線層30は、 n 型ウエル領域W10と p 型ウエル領域W20との境界B10上に形成されている。第1ドレインゲート配線層30の中心線と、その境界B10とが平面的にみて重なるように、第1ドレインゲート配線層30を形成することができる。

【0041】

3) 第2ゲートゲート電極層

第2ゲートゲート電極層22は、図7に示すように、第2活性領域15および第4活性領域17と交差するように形成されている。第2ゲートゲート電極層22は、第2負荷トランジスタQ6および第2駆動トランジスタQ4のゲート電極として機能する。

【0042】

第2ゲートゲート電極層22は、第2活性領域15において、第3の p^+ 型

不純物層 15a と第 4 の p^+ 型不純物層 15b との間を通るように形成されている。すなわち、第 2 ゲートゲート電極層 22 と、第 3 の p^+ 型不純物層 15a と、第 4 の p^+ 型不純物層 15b とで、第 2 負荷トランジスタ Q6 を構成している。また、第 2 ゲートゲート電極層 22 は、第 4 活性領域 17 において、第 5 の n^+ 型不純物層 17b と第 6 の n^+ 型不純物層 17c との間を通るように形成されている。すなわち、第 2 ゲートゲート電極層 22 と、第 5 の n^+ 型不純物層 17b と、第 6 の n^+ 型不純物層 17c とで、第 2 駆動トランジスタ Q4 を構成している。

【0043】

4) 副ワード線

副ワード線 24 は、図 7 に示すように、第 3 活性領域 16 および第 4 活性領域 17 と交差するように形成されている。副ワード線 24 は、第 1 および第 2 転送トランジスタ Q1、Q2 のゲート電極として機能する。

【0044】

副ワード線 24 は、第 3 活性領域 16 において、第 1 の n^+ 型不純物層 16a と第 2 の n^+ 型不純物層 16b との間を通るように形成されている。すなわち、副ワード線 24 と、第 1 の n^+ 型不純物層 16a と、第 2 の n^+ 型不純物層 16b とで、第 1 転送トランジスタ Q1 を構成している。また、副ワード線 24 は、第 4 活性領域 17 において、第 4 の n^+ 型不純物層 17a と第 5 の n^+ 型不純物層 17b との間を通るように形成されている。すなわち、副ワード線 24 と、第 4 の n^+ 型不純物層 17a と、第 5 の n^+ 型不純物層 17b とで、第 2 転送トランジスタ Q2 を構成している。

【0045】

5) 第 1 層導電層等の断面構造

第 1 層導電層は、たとえば、ポリシリコン層およびシリサイド層が順次積層されて構成されることができる。

【0046】

図 14 および図 15 に示すように、フィールドおよび第 1 層導電層の上には、第 1 の層間絶縁層 90 が形成されている。第 1 の層間絶縁層 90 は、たとえば化

学的機械的研磨法により、平坦化处理がなされて構成されることができる。

【0047】

2. 3 第2層導電層

以下、図4、図8および図9を参照しながら、第2層導電層を説明する。なお、第2層導電層とは、第1の層間絶縁層90の上に形成された導電層をいう。

【0048】

第2層導電層は、図4に示すように、第1ドレインードレイン配線層40と、第2ドレインードレイン配線層42と、第2ドレインーゲート配線層の下層部32aと、第1BLコンタクトパッド層70aと、第1／BLコンタクトパッド層72aと、第1Vssコンタクトパッド層74aと、Vddコンタクトパッド層76とを有する。

【0049】

第1ドレインードレイン配線層40と、第2ドレインードレイン配線層42と、第2ドレインーゲート配線層の下層部32aとは、Y方向に沿って伸びるように形成されている。第1ドレインードレイン配線層40と、第2ドレインードレイン配線層42と、第2ドレインーゲート配線層の下層部32aとは、X方向に順次配列されている。

【0050】

以下、第2層導電層の各構成要素について、具体的に説明する。

【0051】

1) 第1ドレインードレイン配線層

第1ドレインードレイン配線層40は、第1活性領域14および第3活性領域16と平面的にみて重なる部分を有する(図8参照)。具体的には、第1ドレインードレイン配線層40の一方の端部40aは、第2の p^+ 型不純物層14bの上方に位置している。第1ドレインードレイン配線層40の一方の端部40aと第2の p^+ 型不純物層14bとは、フィールドと第2層導電層とのコンタクト部(以下「フィールド・第2層ーコンタクト部」という)80を介して電氣的に接続されている。第1ドレインードレイン配線層40の他方の端部40bは、第2の n^+ 型不純物層16bの上方に位置している。第1ドレインードレイン配線層

40の他方の端部40bと第2の n^+ 型不純物層16bとは、フィールド・第2層-コンタクト部80を介して電氣的に接続されている。また、第1のドレイン-ドレイン配線層40の端部40a, 40bは、X方向で3本のラインが存在する領域A10の第1ドレイン-ドレイン配線層40の部分40cより、幅を太く設定することができる。

【0052】

2) 第2ドレイン-ドレイン配線層

第2ドレイン-ドレイン配線層42は、第2活性領域15および第4活性領域17と平面的にみて重なる部分を有する(図8参照)。具体的には、第2ドレイン-ドレイン配線層42の一方の端部42aは、第4の p^+ 型不純物層15bの上方に位置している。第2ドレイン-ドレイン配線層42の一方の端部42aと、第4の p^+ 型不純物層15bとは、フィールド・第2層-コンタクト部80を介して電氣的に接続されている。第2ドレイン-ドレイン配線層42の他方の端部42bは、第5の n^+ 型不純物層17bの上方に位置している。第2ドレイン-ドレイン配線層42の他方の端部42bと、第5の n^+ 型不純物層17bとは、フィールド・第2層-コンタクト部80を介して電氣的に接続されている。

【0053】

さらに、第2ドレイン-ドレイン配線層42は、第1ドレイン-ゲート配線層30の端部30aと平面的にみて重なる部分を有する(図9参照)。第2ドレイン-ドレイン配線層42と、第1ドレイン-ゲート配線層30の端部30aとは、第1層導電層と第2層導電層とのコンタクト部(以下「第1層・第2層-コンタクト部」という)82を介して電氣的に接続されている。

【0054】

3) 第2ドレイン-ゲート配線層の下層部

第2ドレイン-ゲート配線層の下層部32aは、第2ドレイン-ドレイン配線層42を基準として、第1ドレイン-ドレイン配線層40の反対側に形成されている。第2ドレイン-ゲート配線層の下層部32aは、第2ゲート-ゲート電極層22と平面的にみて重なる部分を有する(図9参照)。第2ドレイン-ゲート配線層の下層部32aと、第2ゲート-ゲート電極層22とは、第1層・第2層

ーコンタクト部 82 を介して電氣的に接続されている。

【0055】

4) 第1BLコンタクトパッド層

第1BLコンタクトパッド層 70a は、第3活性領域 16 における第1の n^+ 型不純物層 16a の上方に位置している (図8参照)。第1BLコンタクトパッド層 70a と第1の n^+ 型不純物層 16a とは、フィールド・第2層ーコンタクト部 80 を介して電氣的に接続されている。

【0056】

5) 第1/BLコンタクトパッド層

第1/BLコンタクトパッド層 72a は、第4活性領域 17 における第4の n^+ 型不純物層 17a の上方に位置している (図8参照)。第1/BLコンタクトパッド層 72a と第4の n^+ 型不純物層 17a とは、フィールド・第2層ーコンタクト部 80 を介して電氣的に接続されている。

【0057】

6) 第1Vssコンタクトパッド層

各第1Vssコンタクトパッド層 74a は、駆動トランジスタ Q3, Q4 のソース (たとえば第3の n^+ 型不純物層 16c) およびウエルコンタクト領域 (たとえば第5の p^+ 型不純物層 16d) の上方に位置している (図8参照)。各第1Vssコンタクトパッド層 74a は、フィールド・第2層ーコンタクト部 80 を介して、駆動トランジスタ Q3, Q4 のソース (たとえば第3の n^+ 型不純物層 16c) と電氣的に接続されている。また、第1Vssコンタクトパッド層 74a は、フィールド・第2層ーコンタクト部 80 を介して、ウエルコンタクト領域 (たとえば第4の p^+ 型不純物層 16d) と電氣的に接続されている。

【0058】

7) Vddコンタクトパッド層

各Vddコンタクトパッド層 76 は、負荷トランジスタ Q5, Q6 のソース (たとえば第1の p^+ 型不純物層 14a) の上方に位置されている。各Vddコンタクトパッド層 76 は、フィールド・第2層ーコンタクト部 80 を介して、負荷トランジスタ Q5, Q6 のソース (たとえば第1の p^+ 型不純物層 14a) と電

氣的に接続されている。

【 0 0 5 9 】

8) 第2層導電層等の断面構造

次に、第2層導電層の断面構造について、図14および図15を用いて説明する。第2層導電層は、例えば、高融点金属の窒化物層のみからなることができる。第2層導電層の厚さは、たとえば100～200nm、好ましくは140～160nmである。高融点金属の窒化物層は、例えば、窒化チタンからなることができる。第2層導電層が高融点金属の窒化物層からなることにより、第2層導電層の厚さを小さくすることができ、微細加工がし易い。したがって、セル面積の低減を図ることができる。

【 0 0 6 0 】

また、第2層導電層は、次のいずれかの態様であってもよい。1) 高融点金属からなる金属層上に、高融点金属の窒化物層を形成した構造を有していてもよい。この場合、高融点金属からなる金属層は、下敷きとなり、例えば、チタン層からなることができる。高融点金属の窒化物層の材料としては、窒化チタンを挙げることができる。2) 第2層導電層の構成は、高融点金属の金属層のみから構成されてもよい。

【 0 0 6 1 】

次に、フィールド・第2層ーコンタクト部80の断面構造について、図14および図15を用いて説明する。フィールド・第2層ーコンタクト部80は、第1の層間絶縁層90に形成されたスルーホール90aを充填するように形成されている。フィールド・第2層ーコンタクト部80は、バリア層80aと、バリア層80aの上に形成されたプラグ80bとを含む。プラグの材料としては、チタン、タングステンを挙げることができる。バリア層80aとしては、高融点金属からなる金属層と、その金属層の上に形成された高融点金属の窒化物層とからなることが好ましい。高融点金属からなる金属層の材質としては、たとえばチタンを挙げることができる。高融点金属の窒化物層の材質としては、たとえば窒化チタンを挙げることができる。

【 0 0 6 2 】

次に、第1層・第2層-コンタクト部82の断面構造について、図14および図15を用いて説明する。第1層・第2層-コンタクト部82は、第1の層間絶縁層90に形成されたスルーホール90bを充填するように形成されている。第1層・第2層-コンタクト部82は、フィールド・第2層-コンタクト部80において述べた構成と同様の構成をとることができる。

【0063】

第2層導電層を覆うように、第2の層間絶縁層92が形成されている。第2の層間絶縁層92は、たとえば化学的機械的研磨法により、平坦化处理がなされて構成されることができる。

【0064】

2. 4 第3層導電層

以下、図5、図10～図12を参照しながら、第3層導電層を説明する。なお、第3層導電層とは、第2の層間絶縁層92の上に形成された導電層をいう（図14および図15参照）。

【0065】

第3層導電層は、第2ドレイン-ゲート配線層の上層部32bと、主ワード線50と、Vdd配線52と、第2BLコンタクトパッド層70bと、第2/BLコンタクトパッド層72bと、第2Vssコンタクトパッド層74bとを有する。

【0066】

第2ドレイン-ゲート配線層の上層部32b、主ワード線50およびVdd配線52は、X方向に沿って伸びるように形成されている。第2BLコンタクトパッド層70bと、第2/BLコンタクトパッド層72bと、第2Vssコンタクトパッド層74bとは、Y方向に沿って伸びるように形成されている。

【0067】

以下、第3層導電層の各構成要素について、具体的に説明する。

【0068】

1) 第2ドレイン-ゲート配線層の上層部

第2ドレイン-ゲート配線層の上層部32bは、図10に示すように、第2層

導電層の第2ドレインードレイン配線層42と交差するように形成されている。具体的には、第2ドレインーゲート配線層の上層部32bは、第1ドレインードレイン配線層40の端部40bの上方から、第2ドレインーゲート配線層の下層部32aの端部32a1の上方まで形成されている。第2ドレインーゲート配線層の上層部32bは、第2層導電層と第3層導電層とのコンタクト部（以下「第2層・第3層ーコンタクト部」という）84を介して、第1ドレインードレイン配線層40の端部40bと電氣的に接続されている。また、第2ドレインーゲート配線層の上層部32bは、第2層・第3層ーコンタクト部84を介して、第2ドレインーゲート配線層の下層部32aの端部32a1と電氣的に接続されている。

【0069】

第2ドレインーゲート電極層の上層部32aは、図11に示すように、n型ウエル領域W10とp型ウエル領域W20との境界B10より、p型ウエル領域W20側の領域に設けられている。第2ドレインーゲート電極層の上層部32aをこのように設けたことによる作用効果は、「作用効果」の項で説明する。

【0070】

図1に示すように、第2層導電層の第1ドレインードレイン配線層40と、第1層導電層の第2ゲートーゲート電極層22とは、第2層・第3層ーコンタクト部84、第2ゲートードレイン配線層の上層部32b、第2層・第3層ーコンタクト部84、第2ゲートードレイン配線層の下層部32a、第1層・第2層ーコンタクト部82を介して、電氣的に接続されている。

【0071】

2) V d d 配線

V d d 配線52は、図10に示すように、V d d コンタクトパッド層76の上方を通るように形成されている。V d d 配線52は、第2層・第3層ーコンタクト部84を介して、V d d コンタクトパッド層76と電氣的に接続されている。

【0072】

3) 第2 B L コンタクトパッド層

第2 B L コンタクトパッド層70bは、第1 B L コンタクトパッド層70aの

上方に位置している。第2BLコンタクトパッド層70bは、第2層・第3層ーコンタクト部84を介して、第1BLコンタクトパッド層70aと電氣的に接続されている。

【0073】

4) 第2/B Lコンタクトパッド層

第2/B Lコンタクトパッド層72bは、第1/B Lコンタクトパッド層72aの上方に位置している。第2/B Lコンタクトパッド層72bは、第1/B Lコンタクトパッド層72aと、第2層・第3層ーコンタクト部84を介して電氣的に接続されている。

【0074】

5) 第2V s sコンタクトパッド層

第2V s sコンタクトパッド層74bは、第1V s sコンタクトパッド層74aの上方に位置している。第2V s sコンタクトパッド層74bは、第2層・第3層ーコンタクト部84を介して、第1V s sコンタクトパッド層74aと電氣的に接続されている。

【0075】

6) 第3層導電層等の断面構造

次に、第3層導電層の断面構造について、図14および図15を用いて説明する。第3層導電層は、たとえば、下から順に、高融点金属の窒化物層、金属層、高融点金属の窒化物層が積層された構造を有する。高融点金属の窒化物層の材質としては、たとえば窒化チタンを挙げることができる。金属層の材質としては、たとえば、アルミニウム、銅、またはこれらの合金を挙げることができる。

【0076】

次に、第2層・第3層ーコンタクト部84の断面構造について説明する。第2層・第3層ーコンタクト部84は、第2の層間絶縁層92に形成されたスルーホール92aを充填するように形成されている。第2層・第3層ーコンタクト部84は、フィールド・第2層ーコンタクト部80において述べた構成と同様の構成をとることができる。

【0077】

第 3 層導電層を覆うように、第 3 の層間絶縁層 9 4 が形成されている。第 3 の層間絶縁層 9 4 は、たとえば化学的機械的研磨法により、平坦化处理がなされて構成されることができる。

【0 0 7 8】

2. 5 第 4 層導電層

以下、図 6 および図 1 3 を参照して、第 4 層導電層を説明する。なお、第 4 層導電層とは、第 3 の層間絶縁層 9 4 の上に形成された導電層をいう。

【0 0 7 9】

第 4 層導電層は、ビット線 6 0 と、／ビット線 6 2 と、V s s 配線 6 4 とを有する。

【0 0 8 0】

ビット線 6 0、／ビット線 6 2 および V s s 配線 6 4 は、Y 方向に沿って伸びるように形成されている。

【0 0 8 1】

以下、具体的に、ビット線 6 0、／ビット線 6 2 および V s s 配線 6 4 の構成を説明する。

【0 0 8 2】

1) ビット線

ビット線 6 0 は、図 1 3 に示すように、第 2 B L コンタクトパッド層 7 0 b の上方を通るように形成されている。ビット線 6 0 は、第 3 層導電層と第 4 層導電層とのコンタクト部（以下「第 3 層・第 4 層ーコンタクト部」という）8 6 を介して、第 2 B L コンタクトパッド層 7 0 b と電氣的に接続されている。

【0 0 8 3】

2) ／ビット線

／ビット線 6 2 は、図 1 3 に示すように、第 2 ／B L コンタクトパッド層 7 2 b の上方を通るように形成されている。／ビット線 6 2 は、第 3 層・第 4 層ーコンタクト部 8 6 を介して、第 2 ／B L コンタクトパッド層 7 2 b と電氣的に接続されている。

【0 0 8 4】

3) V s s 配線

V s s 配線 6 4 は、図 1 3 に示すように、第 2 V s s コンタクトパッド層 7 4 b の上方を通るように形成されている。V s s 配線 6 4 は、第 3 層・第 4 層ーコンタクト部 8 6 を介して、第 2 V s s コンタクトパッド層 7 4 b と電氣的に接続されている。

【 0 0 8 5 】

4) 第 4 層導電層等の断面構造

次に、第 4 層導電層の断面構造について、図 1 4 および図 1 5 を用いて説明する。第 4 層導電層は、第 3 層導電層で述べた構成と同様の構成をとることができる。

【 0 0 8 6 】

次に、第 3 層・第 4 層ーコンタクト部 8 6 の断面構造について説明する。第 3 層・第 4 層ーコンタクト部 8 6 は、第 3 の層間絶縁層 9 4 に形成されたスルーホール 9 4 a を充填するように形成されている。第 3 層・第 4 層ーコンタクト部 8 6 は、フィールド・第 2 層ーコンタクト部 8 0 において述べた構成と同様の構成をとることができる。

【 0 0 8 7 】

図 1 4 および図 1 5 において図示していないが、第 4 層導電層の上に、パシベーション層が形成されることができる。

【 0 0 8 8 】

3. 作用効果

以下、本実施の形態に係る半導体装置の作用効果を説明する。

【 0 0 8 9 】

(1) 本実施の形態においては、第 2 ドレインーゲート配線層の上層部 3 2 b を n 型ウエル領域 W 1 0 と p 型ウエル領域 W 2 0 との境界 B 1 0 より、p 型ウエル領域 W 2 0 側に設けている。これにより、たとえば次の効果を奏することができる。

【 0 0 9 0 】

1) 比較例として、図 2 2 に示すように、第 2 ドレインーゲート配線層の上層

部 1 3 2 b は、p 型ウエル領域 W 1 0 と n 型ウエル領域 W 2 0 との境界 B 1 0 を跨ぐように設けることが考えられる。しかし、この場合、n 型ウエル領域 W 1 0 の上方に主ワード線を配置しようとする、メモリセルのサイズに制約がある場合、V d d 配線 5 2 と第 2 ドレインゲート配線層の上層部 1 3 2 b との間隔の狭さから、その間に、主ワード線を形成し難い。また、p 型ウエル領域 W 2 0 の上方に主ワード線を配置しようとする、メモリセルのサイズに制約がある場合、V s s コンタクトパッド層 7 4 b およびビット線のためのコンタクトパッド層 7 0 b, 7 2 b と、第 2 ドレインゲート配線層の上層部 1 3 2 b との間隔の狭さから、その間に、主ワード線を形成し難い。その結果、第 3 層導電層に主ワード線を形成するのが難しい。

【 0 0 9 1 】

しかし、本実施の形態においては、図 1 1 に示すように、第 2 ドレインゲート配線層の上層部 3 2 b は、n 型ウエル領域 W 1 0 と p 型ウエル領域 W 2 0 との境界 B 1 0 より、p 型ウエル領域 W 2 0 側に設けられている。このため、第 2 ドレインゲート配線層の上層部 3 2 b と V d d 配線 5 2 との間隔がその分だけ広くなる。したがって、第 2 ドレインゲート配線層の上層部 3 2 b と V d d 配線 5 2 との間（n 型ウエル領域 W 1 0 の上方）に、それらの配線 3 2 b, 5 2 とショートしないように、第 2 ドレインゲート配線層の上層部 3 2 b を形成するのが容易となる。このため、第 3 層導電層に主ワード線を形成し易くなる。

【 0 0 9 2 】

2) 図 2 2 に示すように、第 2 ドレインゲート配線層の上層部 1 3 2 b を p 型ウエル領域 W 1 0 と n 型ウエル領域 W 2 0 との境界 B 1 0 を跨ぐように設けた場合を考える。この場合、第 2 ドレインゲート配線層の上層部 1 3 2 b と第 1 ドレインードレイン配線層 1 4 0 とのコンタクト部 1 8 4 は、X 方向で 3 本のラインが存在する領域 A 1 0 の第 1 ドレインードレイン配線層 1 4 0 の部分 1 4 0 a の上に設けられることとなる。X 方向で 3 本のラインが存在する領域 A 1 0 は、そのコンタクト部 1 8 4 を形成するためのスペースに関し余裕がない。このため、第 1 ドレインードレイン配線層 1 4 0 の部分 1 4 0 a の上に、コンタクト部 1 8 4 を設けることは難しい。すなわち、コンタクト部 1 8 4 が第 2 ドレイン

ゲート配線層の下層部 1 3 2 a や第 2 ドレインードレイン配線層 1 4 2 とショートしたりする場合がある。

【 0 0 9 3 】

しかし、本実施の形態においては、第 2 ドレインーゲート配線層の上層部 3 2 b を n 型ウエル領域 W 1 0 と p 型ウエル領域 W 2 0 との境界 B 1 0 より、p 型ウエル領域 W 2 0 側に設けている。これにより、図 1 0 に示すように、X 方向で 2 本のラインが存在する領域 A 2 0 における第 1 ドレインードレイン配線層 4 0 の端部 4 0 b の上に、コンタクト部 8 4 を形成することができる。X 方向で 2 本のラインが存在する領域 A 2 0 は、X 方向で 3 本のラインが存在する領域 A 1 0 よりも、コンタクト部 8 4 を形成するスペースに余裕がある。このため、その分だけ、第 2 ドレインードレイン配線層 4 2 や第 2 ドレインーゲート配線層の下層部 3 2 a とショートしないようように、そのコンタクト部 8 4 を形成し易い。

【 0 0 9 4 】

また、図 1 0 に示すように、第 1 ドレインードレイン配線層 4 0 の端部 4 0 b の上に、コンタクト部 8 4 を設けることができる。第 1 ドレインードレイン配線層 4 0 の端部 4 0 b の幅を太く設定できる。その結果、第 1 ドレインードレイン配線層 4 0 からはみ出さずに、そのコンタクト部 8 4 を形成し易い。

【 0 0 9 5 】

(2) 第 1 ドレインーゲート配線層と、第 2 ドレインーゲート配線層とを、同一の導電層に形成することが考えられる。この場合、第 1 および第 2 ドレインーゲート配線層が形成された導電層のパターン密度の大きさから、セル面積を小さくするのが難しい。

【 0 0 9 6 】

しかし、本実施の形態においては、第 1 ドレインーゲート配線層 3 0 は、第 1 層導電層に位置している。また、第 2 ドレインーゲート配線層は、第 2 ドレインーゲート配線層の下層部 3 2 a と、第 2 ドレインーゲート配線層の上層部 3 2 b とに分けられて構成されている。第 2 ドレインーゲート配線層の下層部 3 2 a は第 2 層導電層に位置し、第 2 ドレインーゲート配線層の上層部 3 2 b は第 3 層導電層に位置している。このため、第 1 ドレインーゲート配線層と、第 2 ドレイン

ーゲート配線層とは、それぞれ異なる層に形成されている。したがって、第1ドレインーゲート配線層と、第2ドレインーゲート配線層とが同じ層に形成されていないため、配線層のパターン密度を小さくすることができる。その結果、本実施の形態に係るメモリセルによれば、セル面積を小さくすることができる。

【0097】

4. SRAMの電子機器への応用例

本実施の形態にかかるSRAMは、例えば、携帯機器のような電子機器に応用することができる。図16は、携帯電話機のシステムの一部のブロック図である。CPU540、SRAM550、DRAM560はバスラインにより、相互に接続されている。さらに、CPU540は、バスラインにより、キーボード510およびLCDドライバ520と接続されている。LCDドライバ520は、バスラインにより、液晶表示部530と接続されている。CPU540、SRAM550およびDRAM560でメモリシステムを構成している。

【0098】

図17は、図16に示す携帯電話機のシステムを備える携帯電話機600の斜視図である。携帯電話機600は、キーボード612、液晶表示部614、受話部616およびアンテナ部618を含む本体部610と、送話部622を含む蓋部620と、を備える。

【0099】

5. 変形例

上記の実施の形態は、たとえば、次の変形が可能である。

【0100】

(1) 第2ドレインーゲート配線層の上層部32bは、図18に示すように、平面的にみて第1ゲートーゲート電極層30と完全に重ならないように設けてもよい。これにより、第1ドレインーゲート配線層30と、第2ドレインーゲート配線層の下層部32bとの容量結合を抑えることができる。その結果、容量結合が抑えられた分だけ、一方のノードの電位が、他方のノードの電位による影響を受けるのを抑えることができる。

【0101】

(2) 第2ドレインゲート配線層の上層部32bは、図19～21に示すように、n型ウエル領域W10とp型ウエル領域W20との境界B10よりn型ウエル領域W10側に設けてもよい。この場合、Vssコンタクトパッド層74bおよびビット線のためのコンタクトパッド層70b、72bと、第2ドレインゲート配線層の上層部32bとの間隔を広くすることができる。このため、第2ドレインゲート配線層の上層部32bや、Vssコンタクトパッド層やビット線のためのコンタクトパッド層とショートさせることなく、主ワード線50をその間(p型ウエル領域W20の上方)に形成するのが容易となる。

【0102】

この場合においても、図20に示すように、第2ドレインゲート配線層の上層部32bと第1ゲートゲート電極層30とが平面的にみて重ならないようにしてもよい。

【0103】

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

【図面の簡単な説明】

【図1】

本実施の形態にかかるSRAMの等価回路と、導電層との対応関係を示す図である。

【図2】

本実施の形態に係るSRAMのメモリセルのフィールドを模式的に示す平面図である。

【図3】

本実施の形態に係るSRAMのメモリセルの第1層導電層を模式的に示す平面図である。

【図4】

本実施の形態に係るSRAMのメモリセルの第2層導電層を模式的に示す平面図である。

【図5】

本実施の形態に係る S R A M のメモリセルの第 3 層導電層を模式的に示す平面図である。

【図 6】

本実施の形態に係る S R A M のメモリセルの第 4 層導電層を模式的に示す平面図である。

【図 7】

本実施の形態に係る S R A M のメモリセルのフィールドおよび第 1 層導電層を模式的に示す平面図である。

【図 8】

本実施の形態に係る S R A M のメモリセルのフィールドおよび第 2 層導電層を模式的に示す平面図である。

【図 9】

本実施の形態に係る S R A M のメモリセルの第 1 層導電層および第 2 層導電層を模式的に示す平面図である。

【図 1 0】

本実施の形態に係る S R A M のメモリセルの第 2 層導電層および第 3 層導電層を模式的に示す平面図である。

【図 1 1】

本実施の形態に係る S R A M のメモリセルのフィールドおよび第 3 層導電層を模式的に示す平面図である。

【図 1 2】

本実施の形態に係る S R A M のメモリセルの第 1 層導電層および第 3 層導電層を模式的に示す平面図である。

【図 1 3】

本実施の形態に係る S R A M のメモリセルの第 3 層導電層および第 4 層導電層を模式的に示す平面図である。

【図 1 4】

図 2 ～図 1 3 の A - A 線に沿った断面を模式的に示す断面図である。

【図 1 5】

図 2 ～ 図 1 3 の B - B 線に沿った断面を模式的に示す断面図である。

【図 1 6】

本実施の形態にかかる S R A M を備えた、携帯電話機のシステムの一部のブロック図である。

【図 1 7】

図 1 6 に示す携帯電話機のシステムを備える携帯電話機の斜視図である。

【図 1 8】

第 1 の変形例に係る S R A M のメモリセルの第 1 層導電層および第 3 層導電層の平面を模式的に示す平面図である。

【図 1 9】

第 2 の変形例に係る S R A M のメモリセルのフィールドおよび第 3 層導電層の平面を模式的に示す断面図である。

【図 2 0】

第 2 の変形例に係る S R A M のメモリセルの第 1 層導電層および第 3 層導電層の平面を模式的に示す断面図である。

【図 2 1】

第 2 の変形例に係る S R A M のメモリセルの第 2 層導電層および第 3 層導電層の平面を模式的に示す断面図である。

【図 2 2】

比較例に係る半導体装置の平面を模式的に示す断面図である。

【符号の説明】

- 1 0 シリコン基板
- 1 2 素子分離領域
- 1 4 第 1 活性領域
- 1 4 a, 1 4 b p^+ 型不純物層
- 1 5 第 2 活性領域
- 1 5 a, 1 5 b p^+ 型不純物層
- 1 6 第 3 活性領域
- 1 6 a, 1 6 b, 1 6 c n^+ 型不純物層

- 1 6 d p^+ 型不純物層
- 1 7 第 4 活性領域
- 1 7 a, 1 7 b, 1 7 c n^+ 型不純物層
- 1 7 d p^+ 型不純物層
- 2 0 第 1 ゲートーゲート電極層
- 2 2 第 2 ゲートーゲート電極層
- 2 4 副ワード線
- 3 0 第 1 ゲートードレイン配線層
- 3 2 a 第 2 ゲートードレイン配線層の下層部
- 3 2 b 第 2 ゲートードレイン配線層の上層部
- 4 0 第 1 ドレインードレイン配線層
- 4 2 第 2 ドレインードレイン配線層
- 5 0 主ワード線
- 5 2 V d d 配線
- 6 0 ビット線
- 6 2 / ビット線
- 6 4 V s s 配線
- 7 0 a 第 1 B L コンタクトパッド層
- 7 0 b 第 2 B L コンタクトパッド層
- 7 2 a 第 1 / B L コンタクトパッド層
- 7 2 b 第 2 / B L コンタクトパッド層
- 7 4 a 第 1 V s s コンタクトパッド層
- 7 4 b 第 2 V s s コンタクトパッド層
- 7 6 V d d コンタクトパッド層
- 8 0 フィールド・第 2 層ーコンタクト部
- 8 2 第 1 層・第 2 層ーコンタクト部
- 8 4 第 2 層・第 3 層ーコンタクト部
- 8 6 第 3 層・第 4 層ーコンタクト部
- 9 0 層間絶縁層

9 0 a スルーホール

9 2 層間絶縁層

9 2 a スルーホール

9 4 層間絶縁層

9 4 a スルーホール

1 1 0 シリサイド層

Q 1 第 1 転送トランジスタ

Q 2 第 2 転送トランジスタ

Q 3 第 1 駆動トランジスタ

Q 4 第 2 駆動トランジスタ

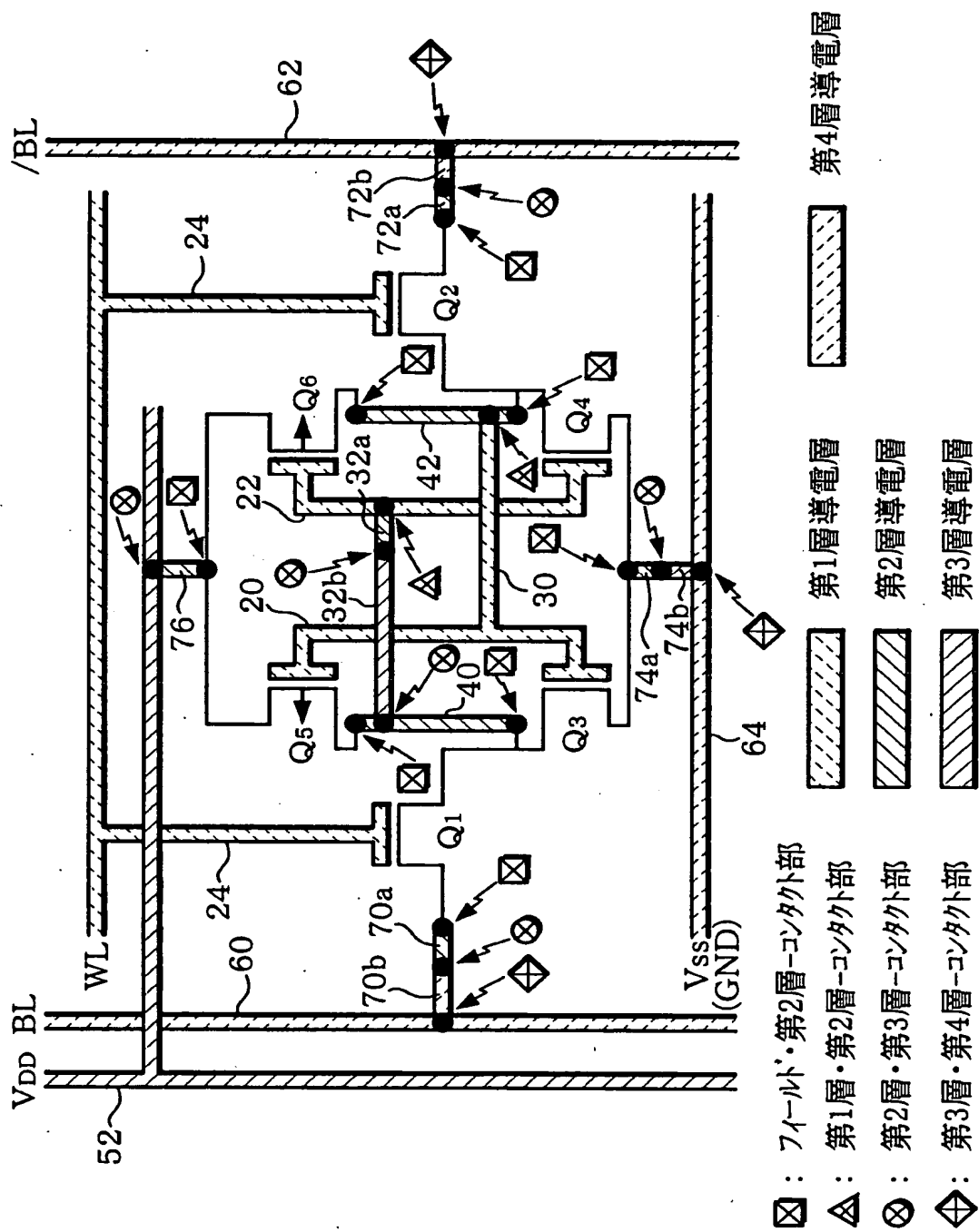
Q 5 第 1 負荷トランジスタ

Q 6 第 2 負荷トランジスタ

【書類名】

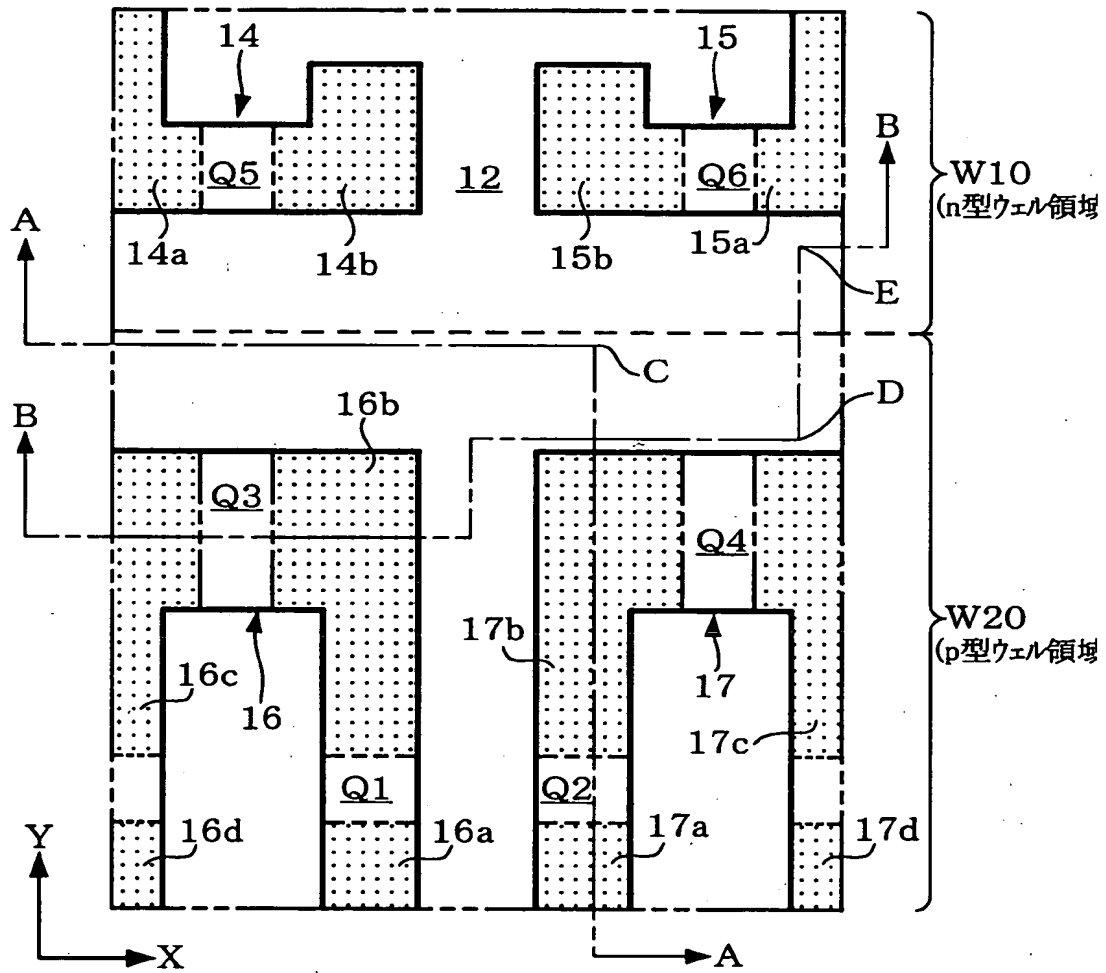
図面

【図 1】



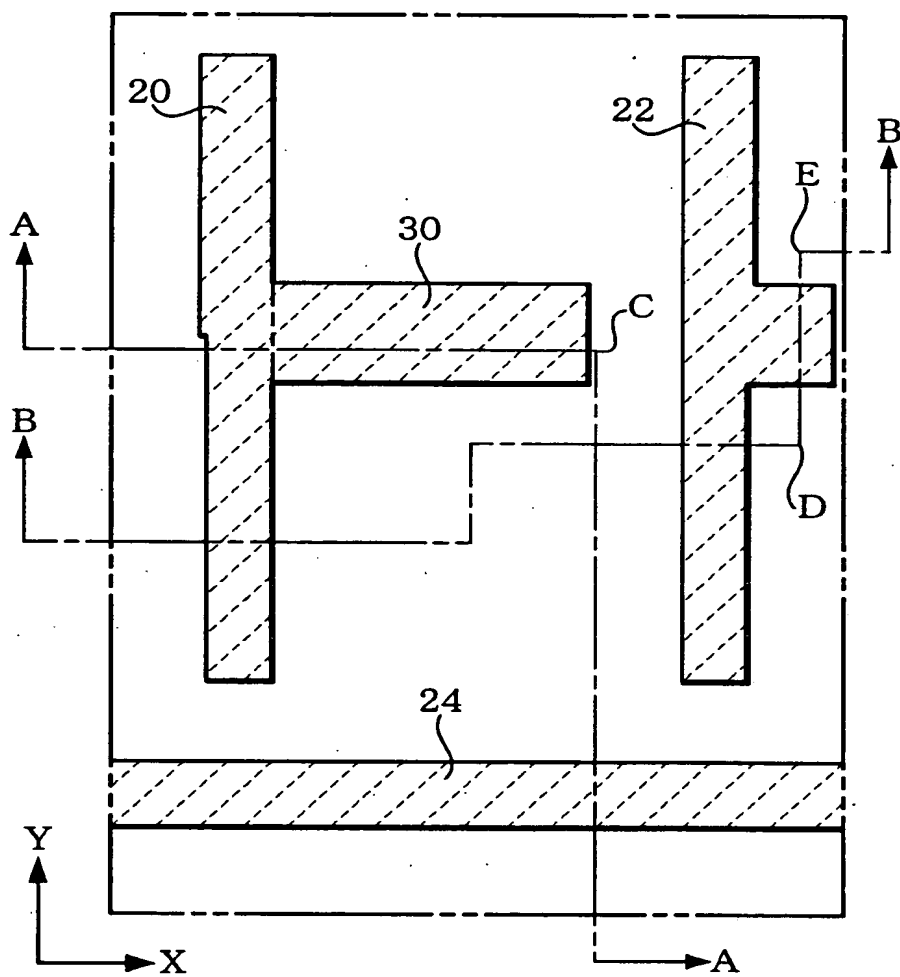
【図2】

フイルト



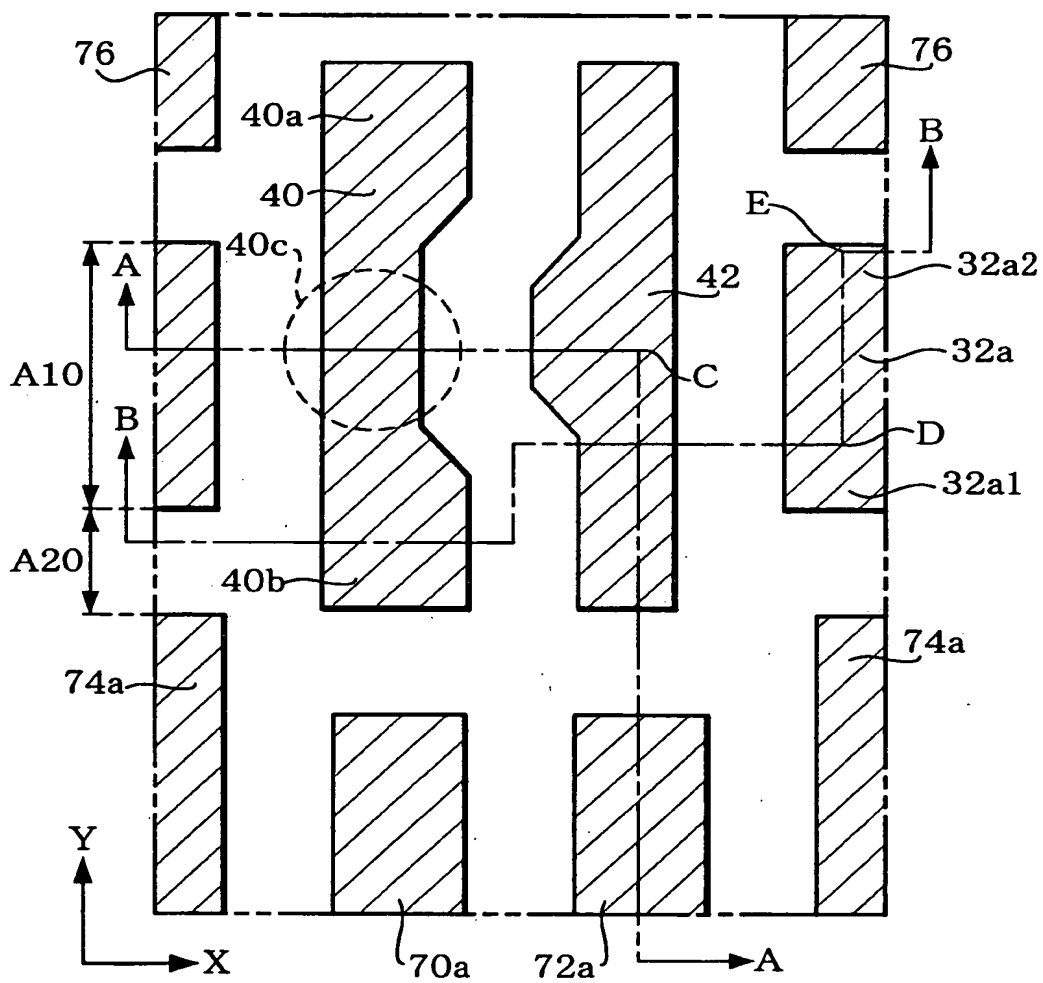
【図 3】

第1層導電層



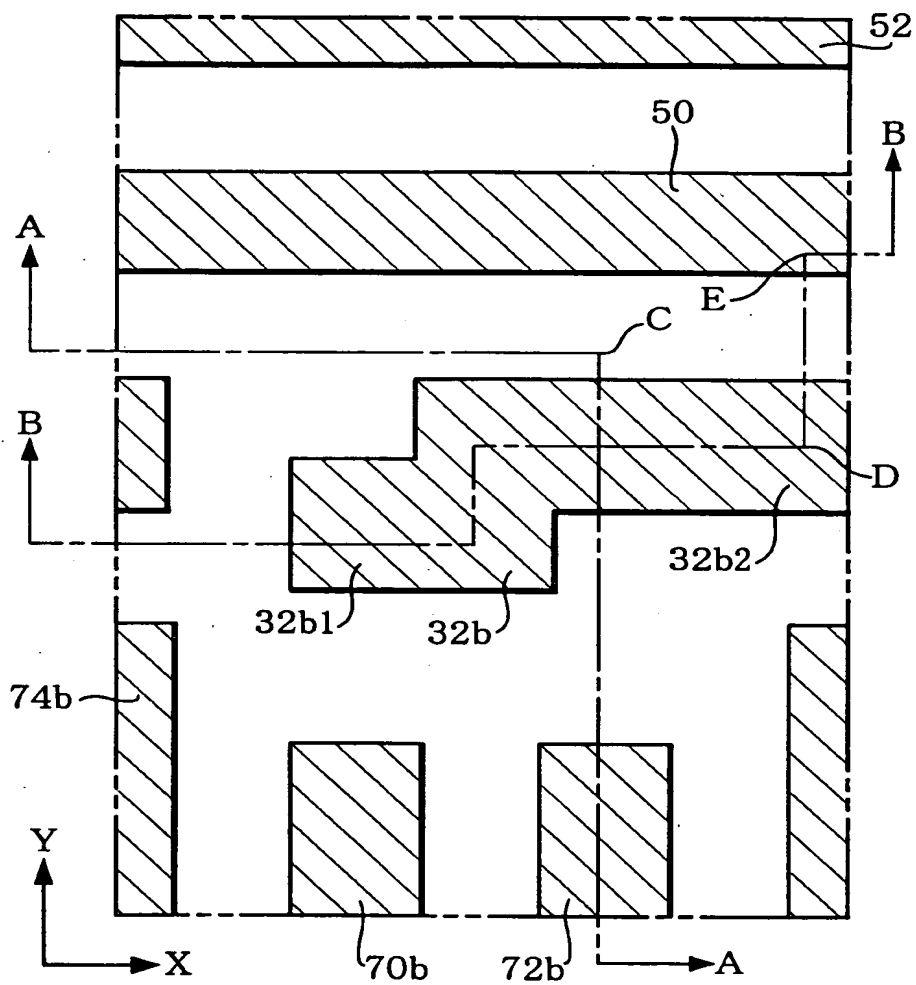
【図 4】

第2層導電層



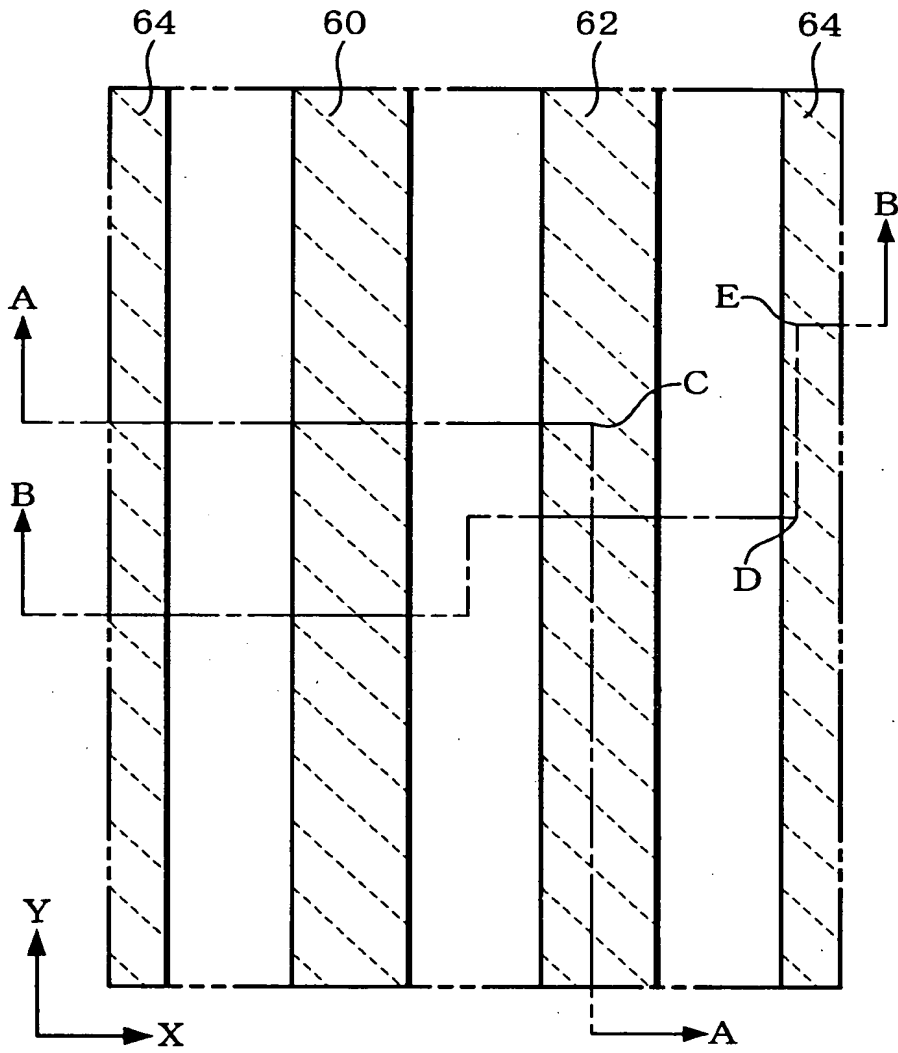
【図5】

第3層導電層



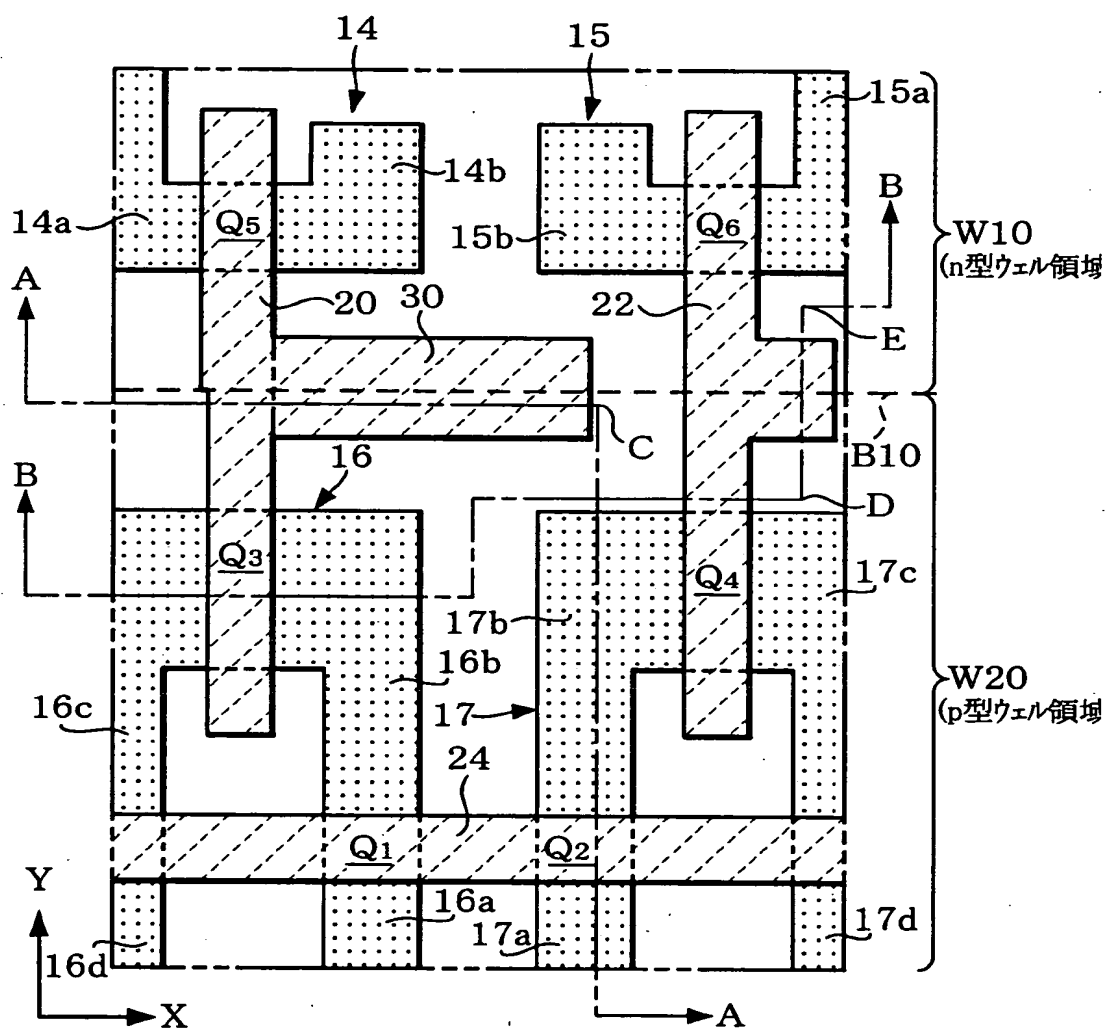
【圖 6】

第4層導電層



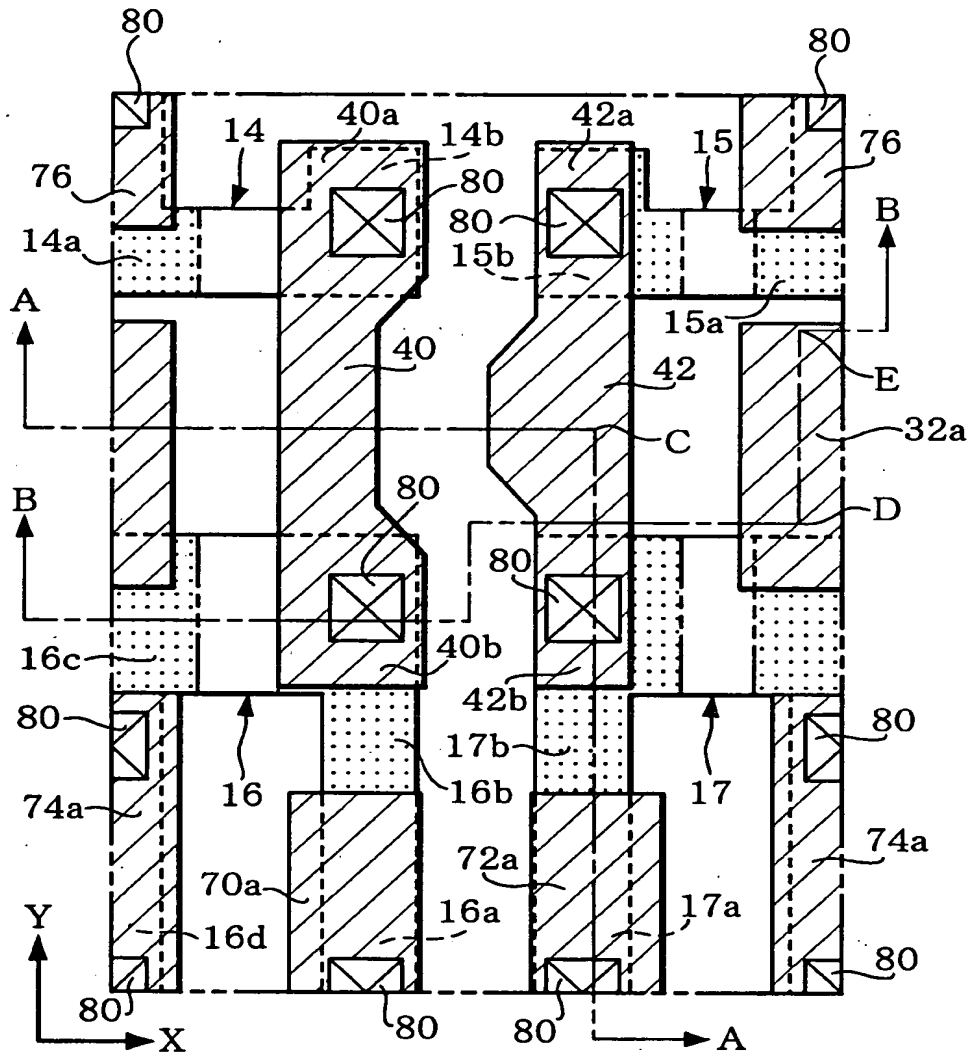
【図 7】

フィード-第1層導電層



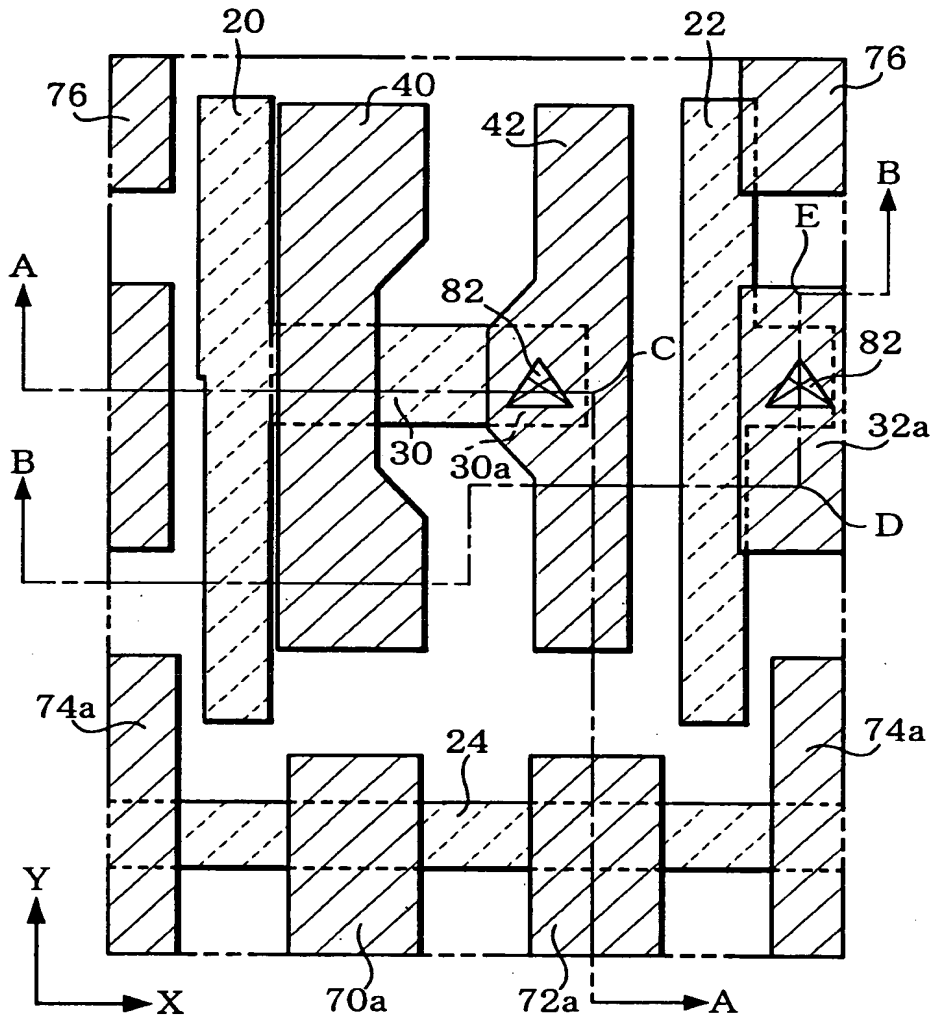
【図8】

フィルタ-第2層導電層



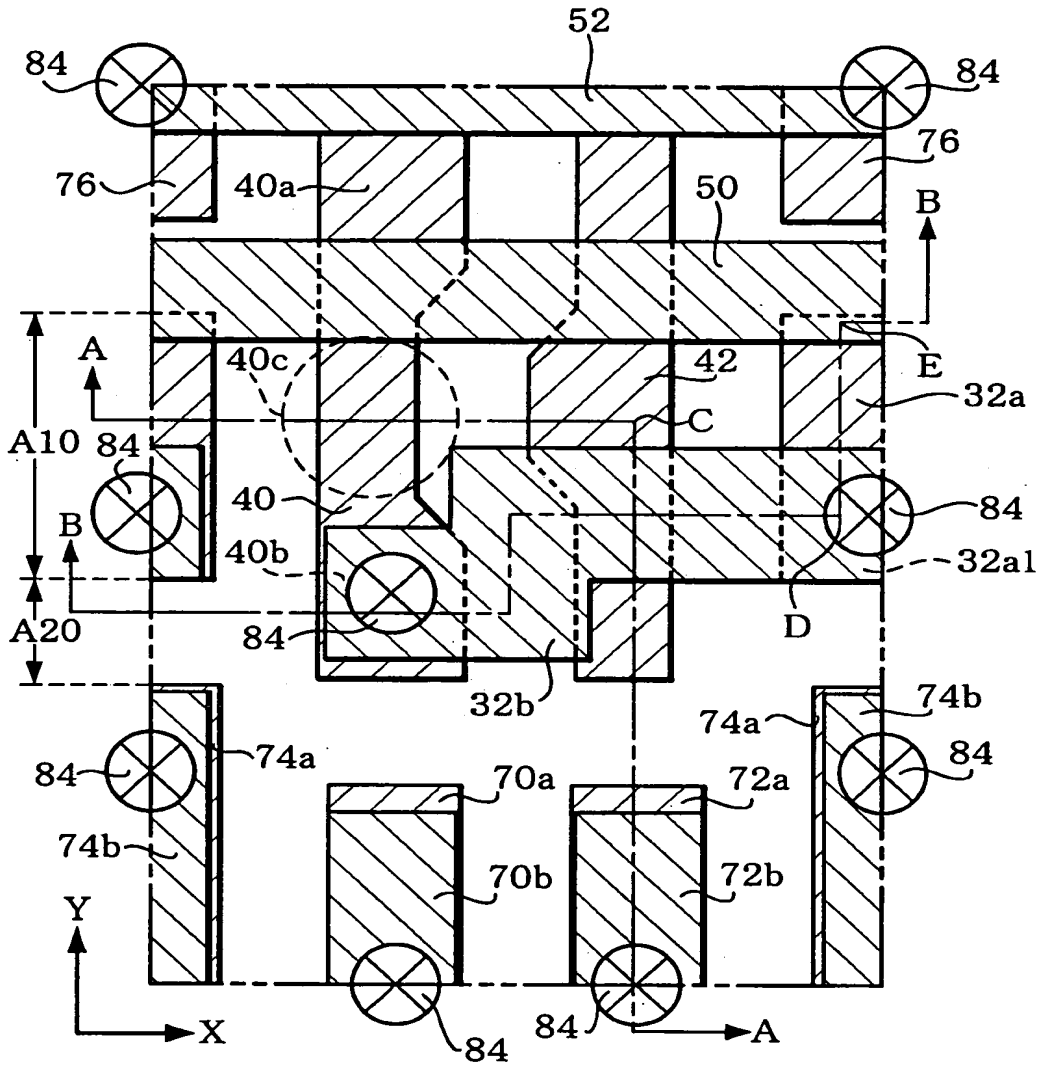
【図9】

第1層導電層-第2層導電層



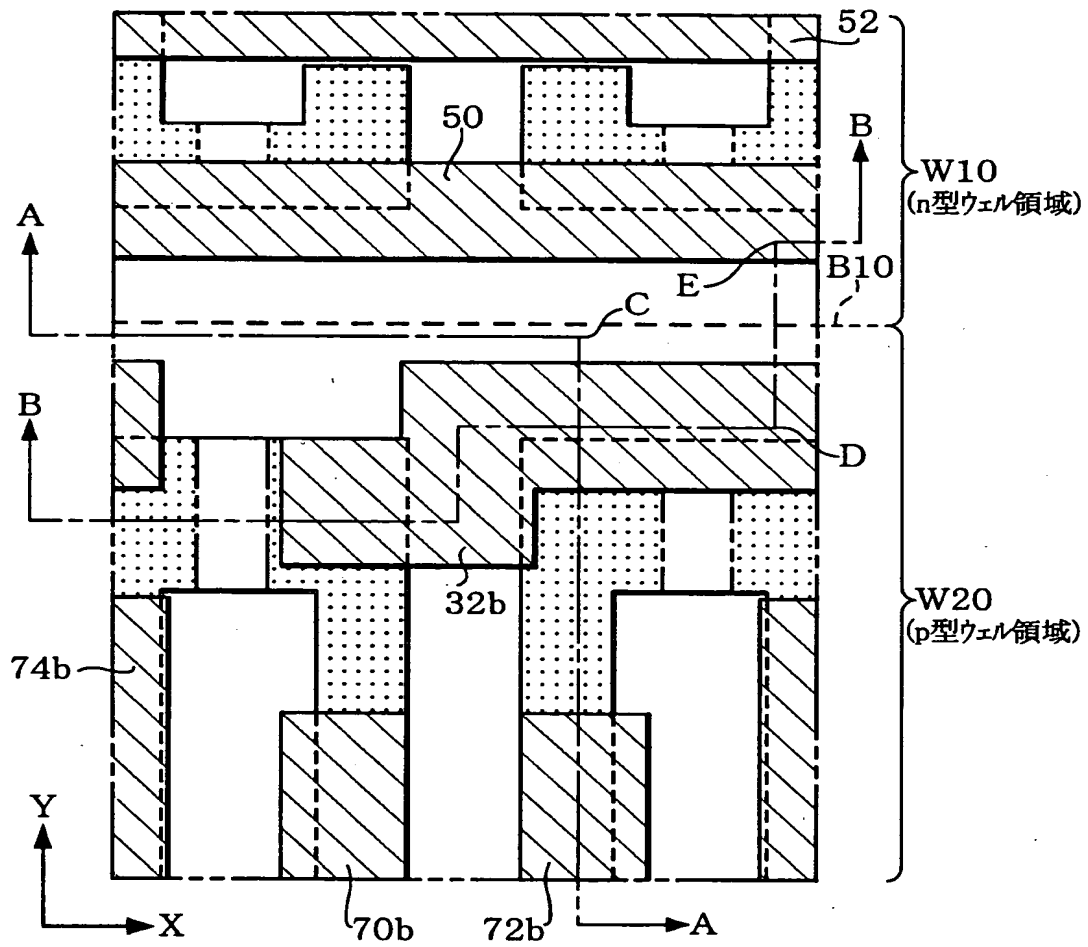
【図10】

第2層導電層-第3層導電層



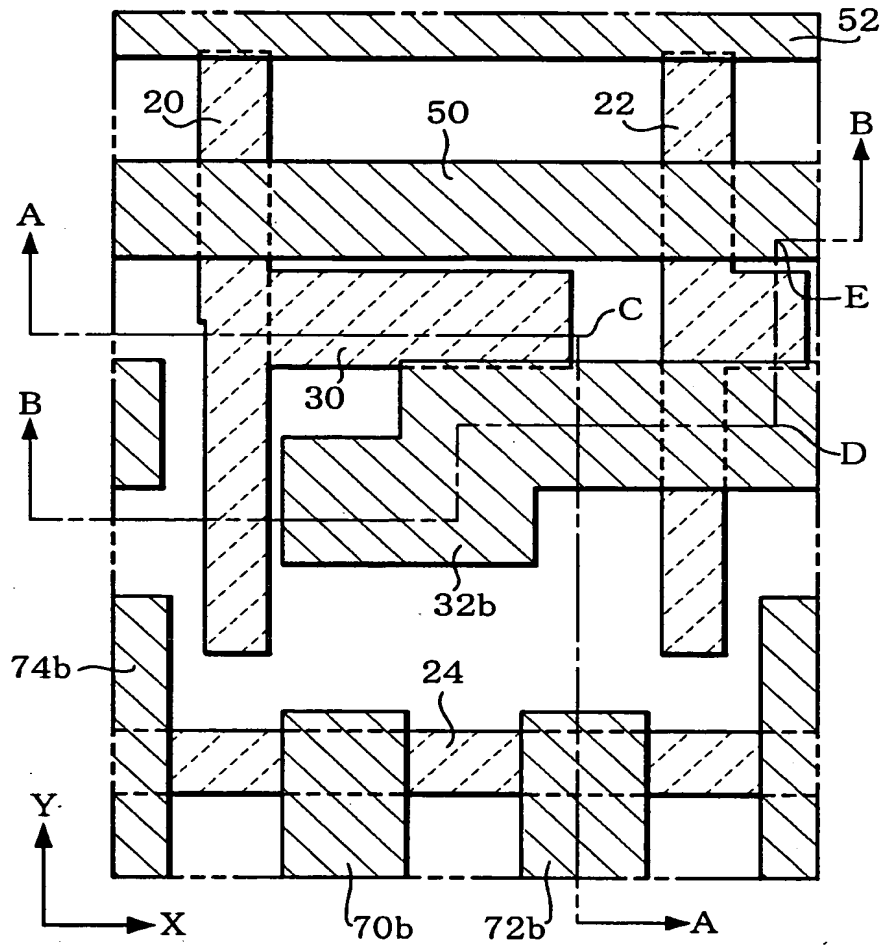
【図 11】

フィルタ-第3層導電層



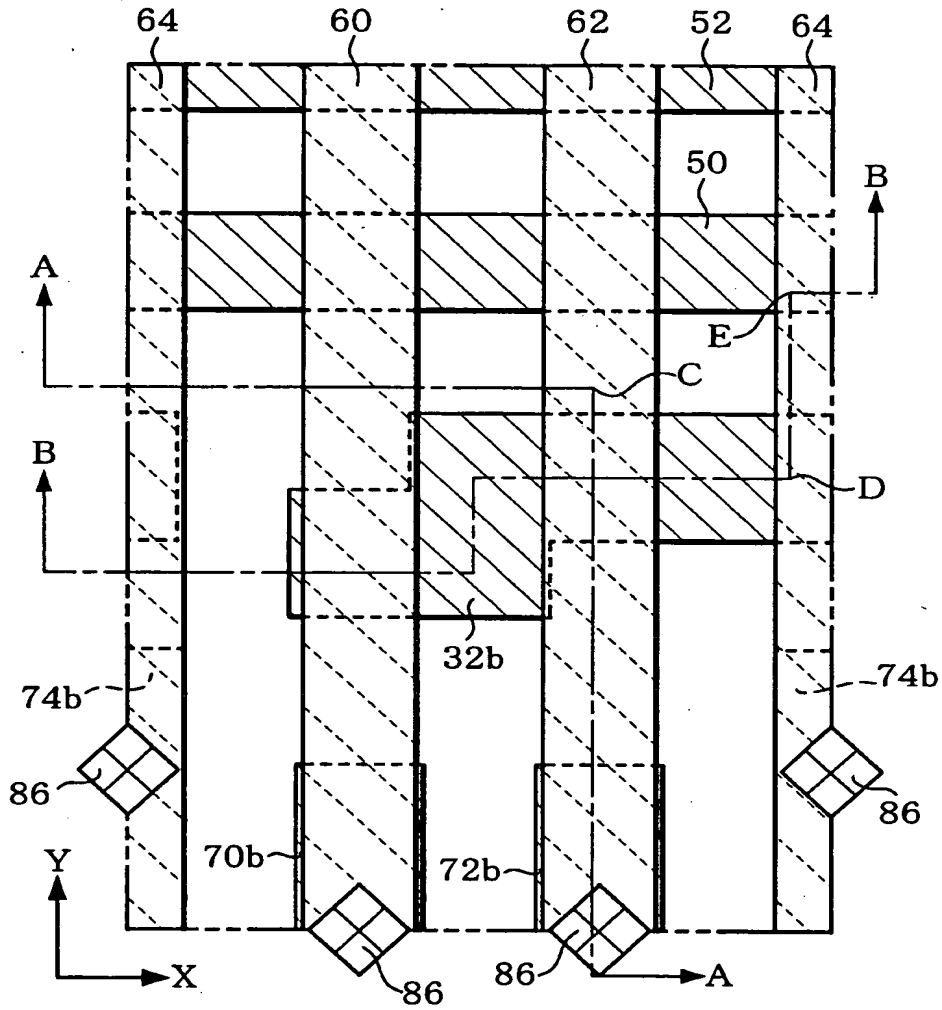
【図 1 2】

第1層導電層-第3層導電層

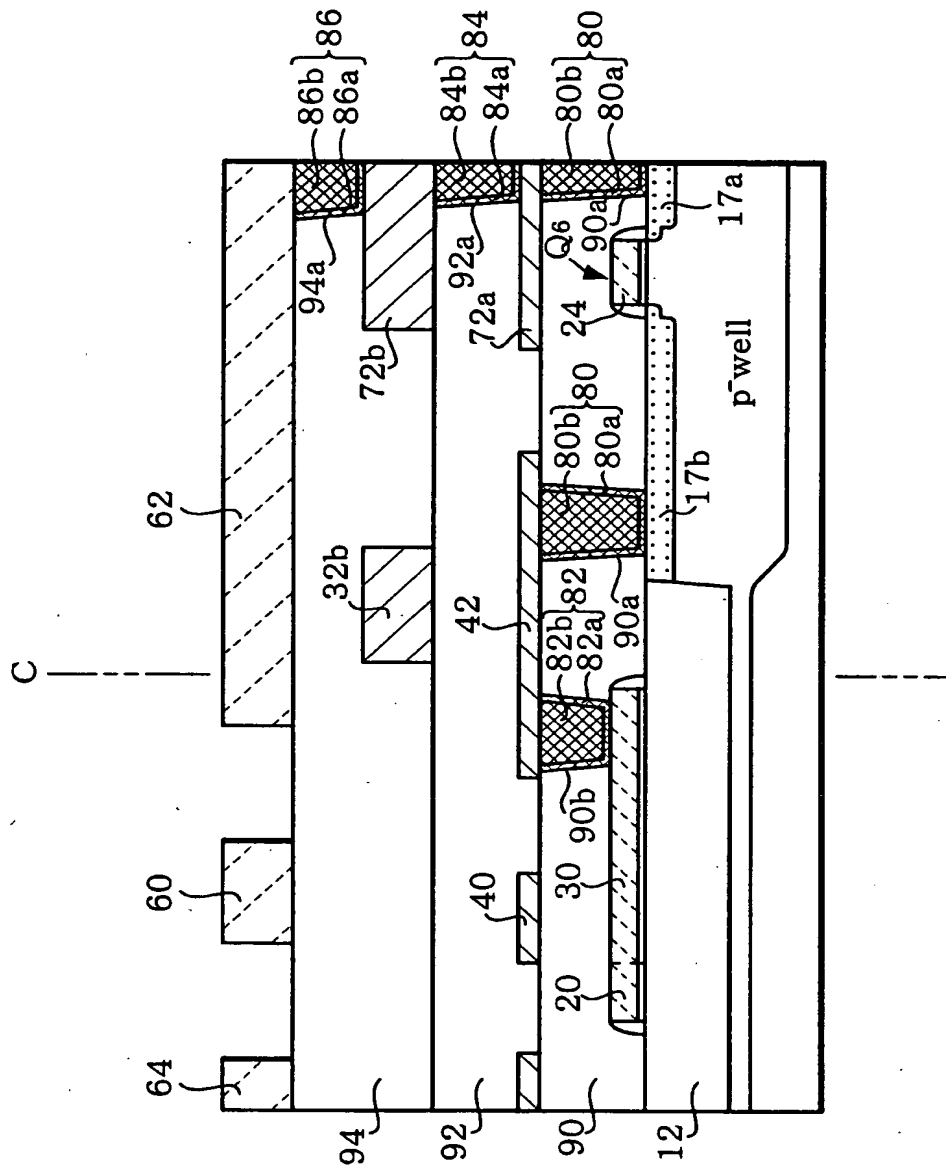


【図 13】

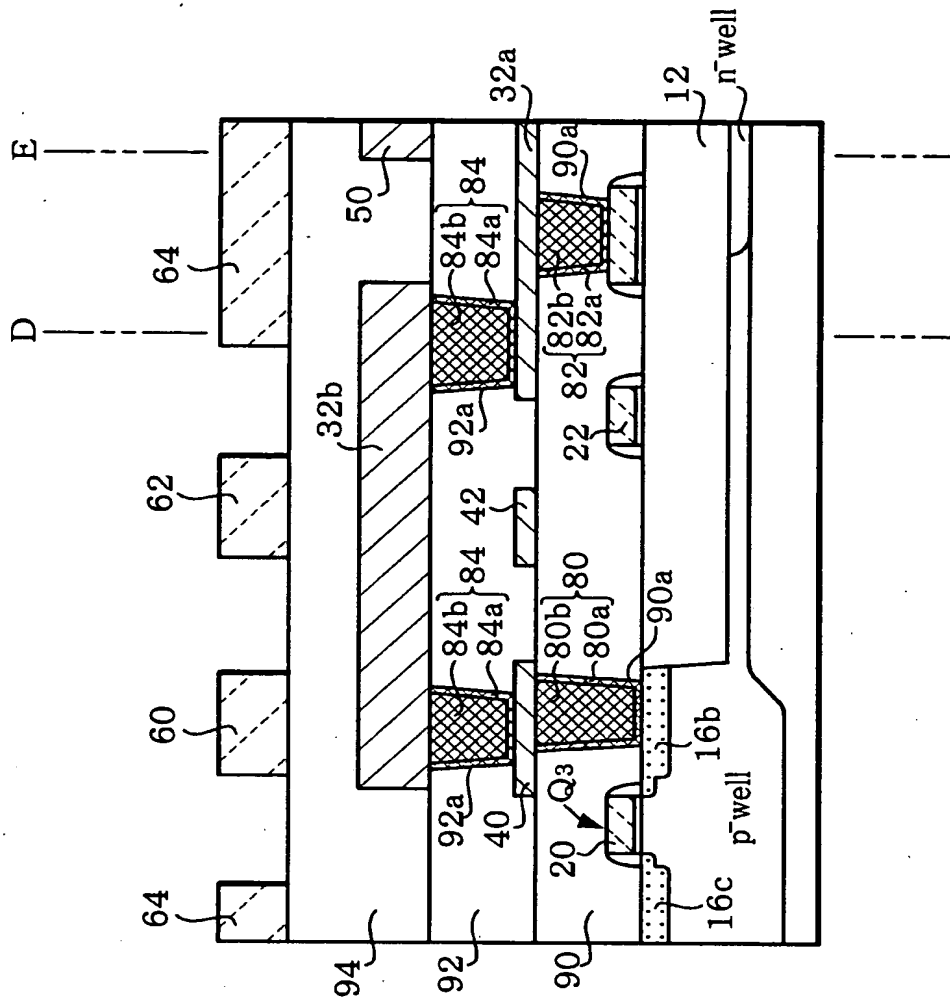
第3層導電層-第4層導電層



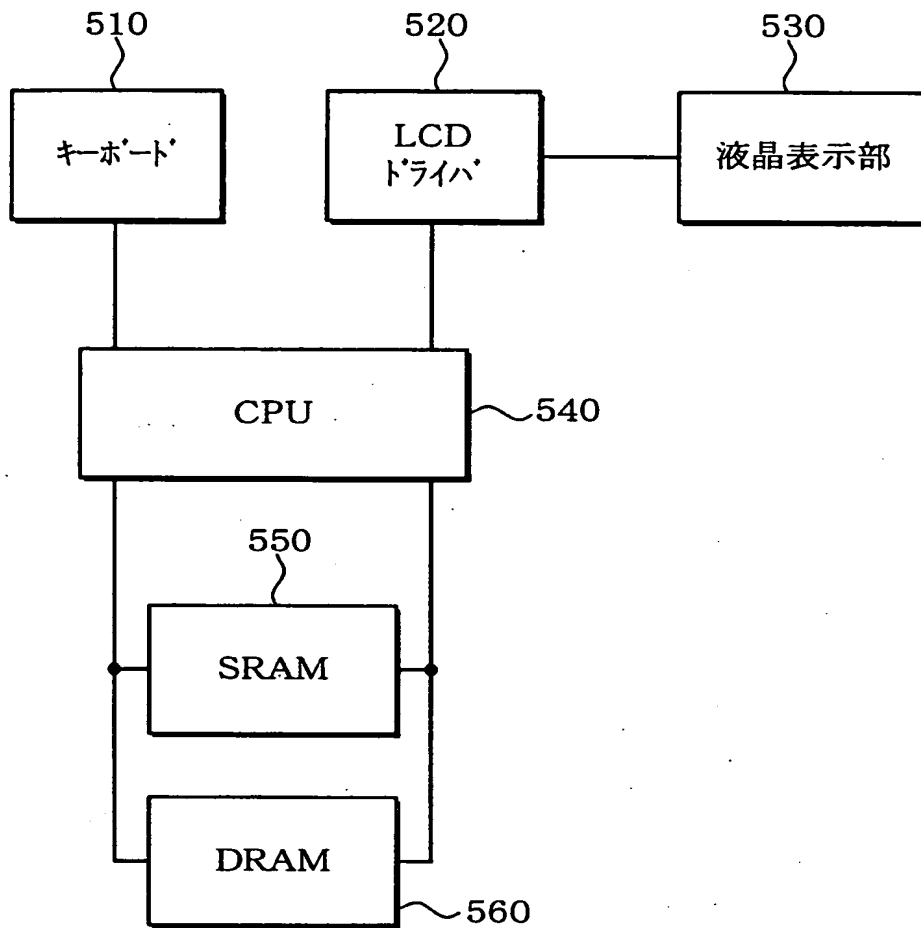
【図 14】



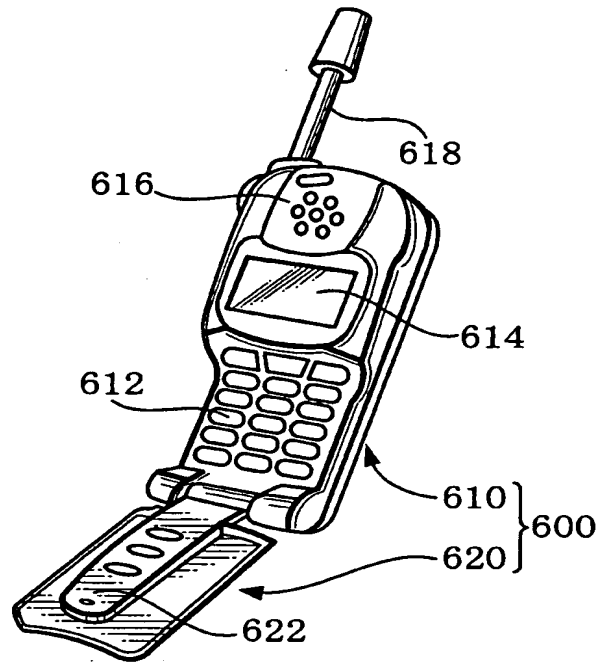
【図 15】



【図16】

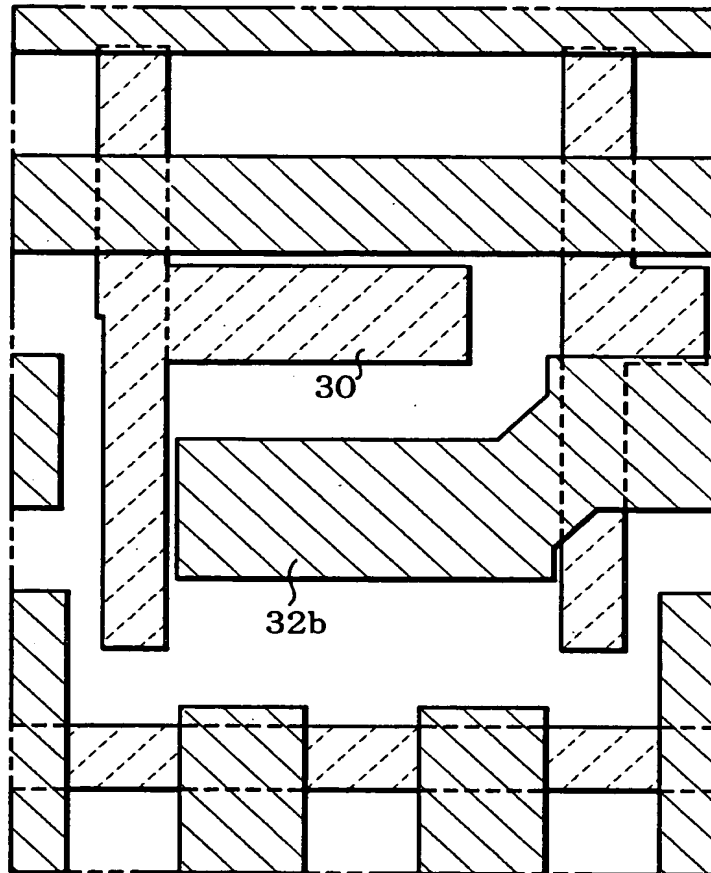


【図 17】



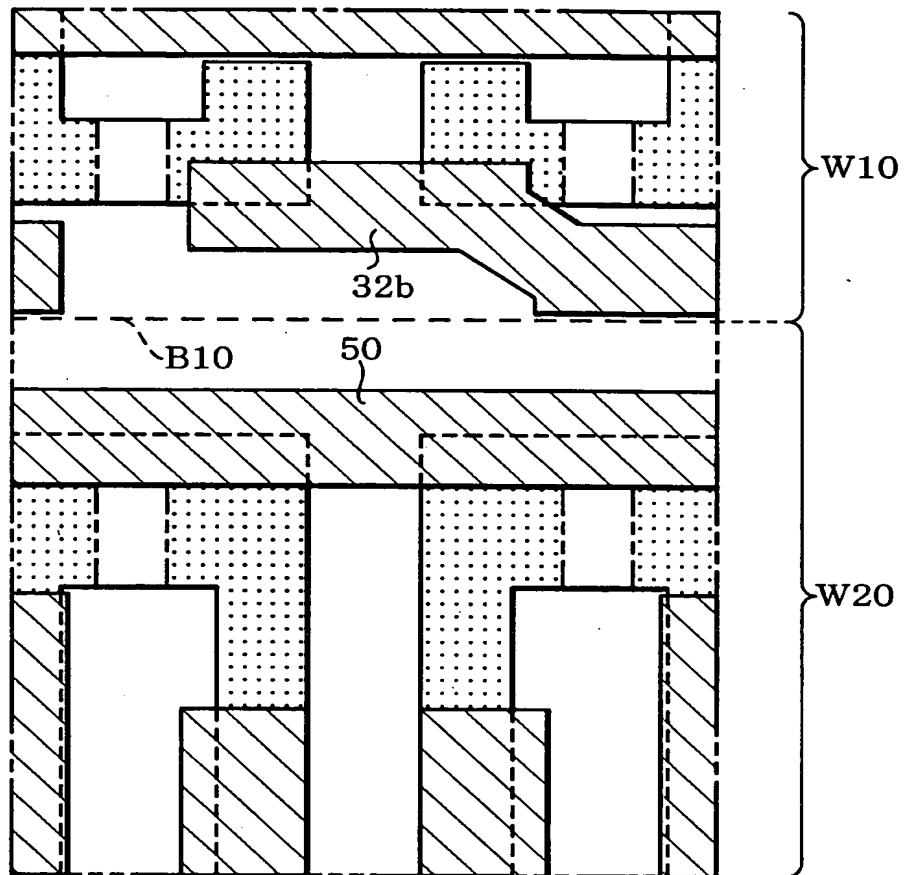
【図 1 8】

第1層導電層-第3層導電層



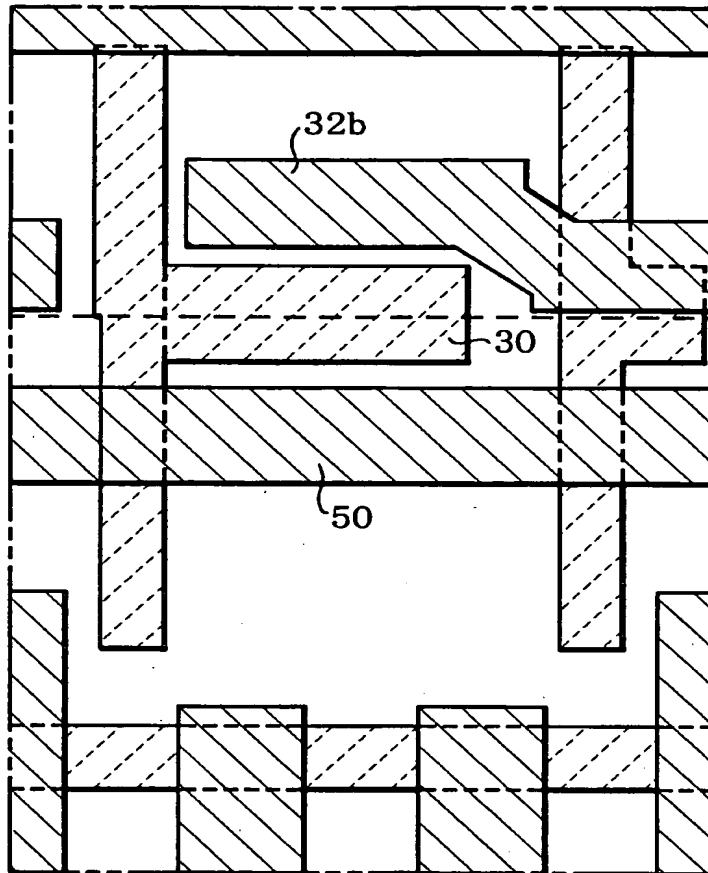
【図19】

フィルタ-第3層導電層



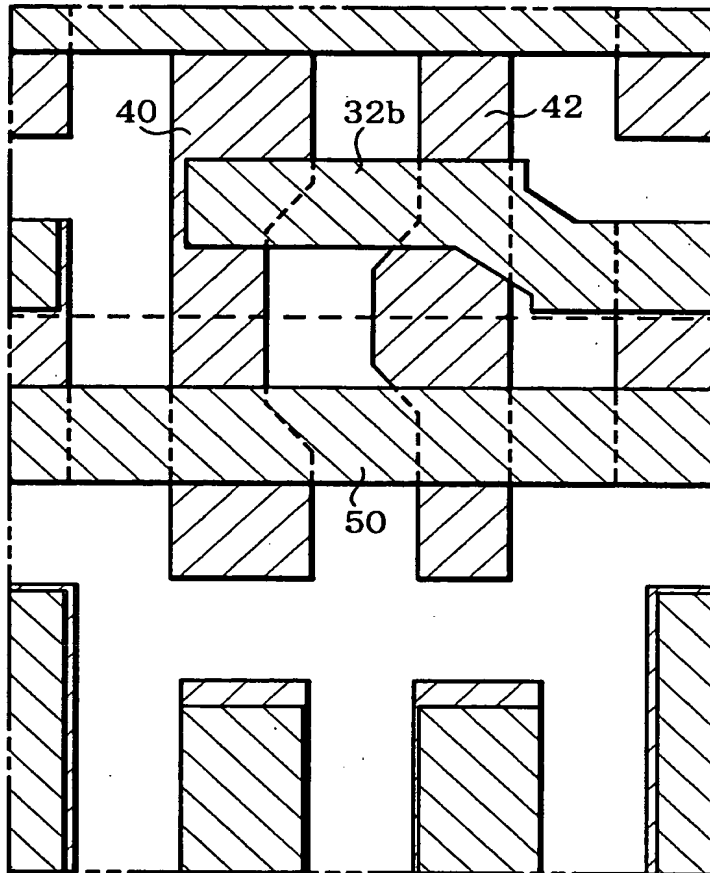
【図 2 0】

第1層導電層-第3層導電層



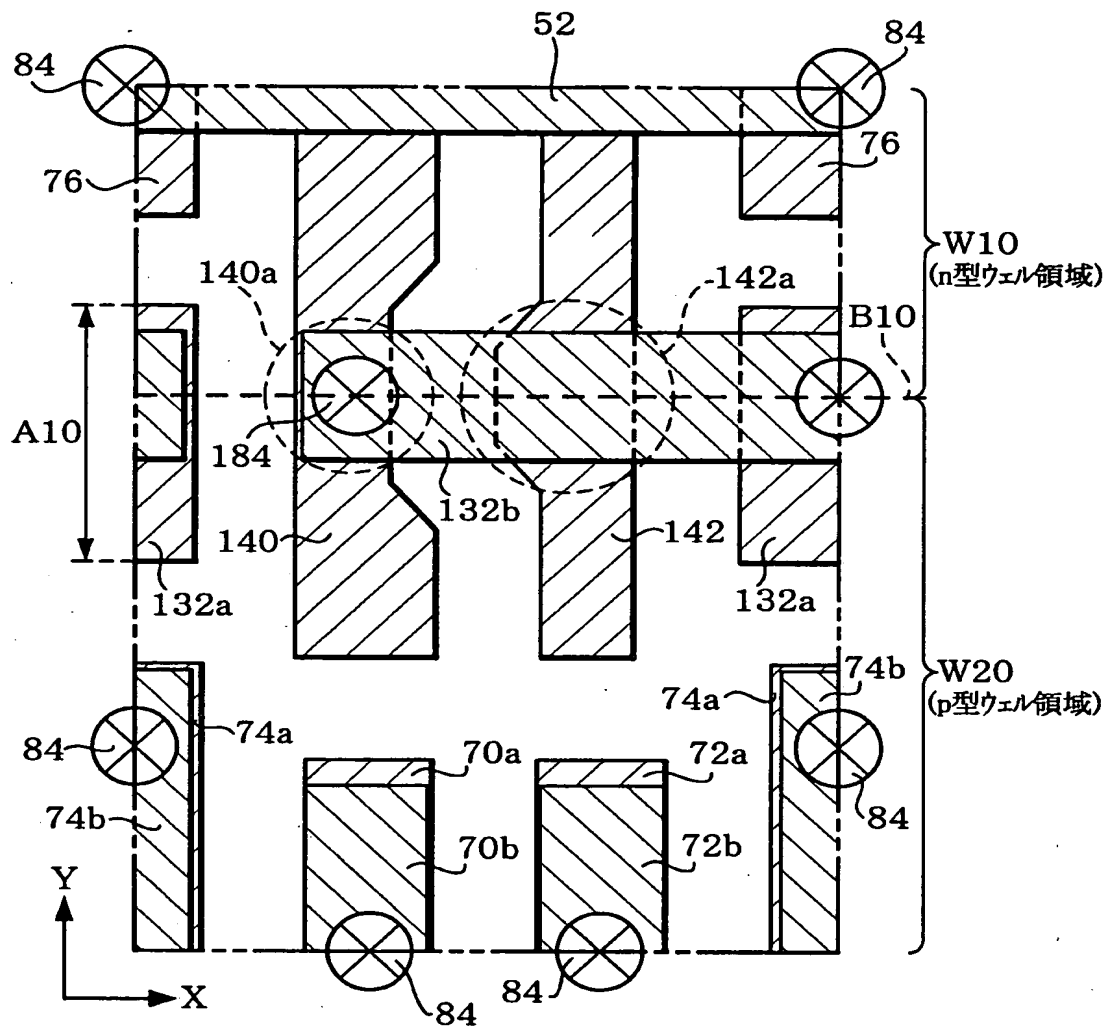
【図 2 1】

第2層導電層-第3層導電層



【図 2 2】

第2層導電層-第3層導電層



【書類名】 要約書

【要約】

【課題】 セル面積を小さくすることができる、半導体装置を提供する。また、その半導体装置を含むメモリシステムおよび電子機器を提供する。

【解決手段】 半導体装置は、SRAMメモリセルを備える。半導体装置は、第1ゲートーゲート電極層20と、第2ゲートーゲート電極層22と、第1ドレインードレイン配線層40と、第2ドレインードレイン配線層42と、第1ドレインーゲート配線層30と、第2ドレインーゲート配線層32a, 32bと、を含む。第1ドレインーゲート配線層30および第2ドレインーゲート配線層の上層部および下層部32a, 32bは、それぞれ異なる層に位置している。第2ドレインーゲート配線層の上層部32aは、n型ウエル領域W10またはp型ウエル領域W20の上方に設けられる。

【選択図】 図11

認定・付加情報

特許出願の番号	特願2001-333097
受付番号	50101602882
書類名	特許願
担当官	第五担当上席 0094
作成日	平成13年11月 2日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000002369
【住所又は居所】	東京都新宿区西新宿2丁目4番1号
【氏名又は名称】	セイコーエプソン株式会社

【代理人】

申請人

【識別番号】	100090479
【住所又は居所】	東京都杉並区荻窪5丁目26番13号 荻窪TM ビル2階 井上・布施合同特許事務所
【氏名又は名称】	井上 一

【選任した代理人】

【識別番号】	100090387
【住所又は居所】	東京都杉並区荻窪5丁目26番13号 荻窪TM ビル2階 井上・布施合同特許事務所
【氏名又は名称】	布施 行夫

【選任した代理人】

【識別番号】	100090398
【住所又は居所】	東京都杉並区荻窪5丁目26番13号 荻窪TM ビル2階 井上・布施合同特許事務所
【氏名又は名称】	大渕 美千栄

出 願 人 履 歴 情 報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日
[変更理由] 新規登録
住 所 東京都新宿区西新宿2丁目4番1号
氏 名 セイコーエプソン株式会社